

MEAN-CÔNG CỤ HỖ TRỢ PHÂN TÍCH VÀ THIẾT KẾ TẾ BÀO NHỚ SRAM

MEAN-A SUPPORTING TOOL FOR ANALYSING AND DESIGNING SRAM CELLS

Lê Bình Sơn, Võ Thanh Trí, Bùi Trọng Tú

Trường Đại học Khoa học Tự nhiên, Đại học Quốc gia tp. Hồ Chí Minh
{lbson, vttri, btu}@fetel.hcmus.edu.vn

Tóm tắt - Phân tích đặc tính của tế bào nhớ qua mô phỏng SPICE là một công đoạn đặc biệt quan trọng và khá tốn thời gian do phải lặp lại quá trình mô phỏng nhiều lần để tìm các thông số tối ưu. Bài báo này trình bày một công cụ (MEAN) được chúng tôi phát triển để hỗ trợ cho việc thiết kế và phân tích tế bào nhớ SRAM một cách tự động. Trong đó, độ ổn định của tế bào nhớ trong hoạt động đọc và ghi được đánh giá dựa trên đường cong hình bướm (butterfly curve) và đường cong N (N-curve). Công cụ cũng cho phép tính công suất rò rỉ và lỗi mềm của các tế bào nhớ. Đặc biệt bằng việc áp dụng mô hình worst-case thay cho phương pháp thống kê Monte Carlo, thời gian phân tích ảnh hưởng của sai số trong quá trình chế tạo lên độ ổn định của tế bào nhớ được rút ngắn đáng kể. Qua phân tích bằng công cụ ở công nghệ 90nm, kiến trúc tế bào nhớ 8T có độ ổn định cao hơn 6T nhưng cũng tốn công suất và diện tích hơn.

Từ khóa - sram; phân tích thống kê; lẻ nhiễu tĩnh; 6T; 8T.

1. Đặt vấn đề

Theo ITRS 2012 [1], bộ nhớ nhúng SRAM chiếm khoảng 86% tổng số lượng transistor trên vi xử lý. Điều này cho thấy độ ổn định của SRAM ảnh hưởng rất lớn đến độ ổn định của hệ thống.

Với sự phát triển của công nghệ CMOS, mật độ tích hợp của bộ nhớ SRAM ngày càng cao, hoạt động nhanh hơn và công suất tiêu thụ thấp hơn. Tuy nhiên, độ ổn định của tế bào nhớ SRAM bị suy giảm do ảnh hưởng của việc hạ thấp điện thế hoạt động cũng như bị tác động nhiều hơn bởi các biến thiên trong quá trình chế tạo (process variations). Điều đó làm cho bộ nhớ dễ gặp lỗi trong quá trình hoạt động hơn. Ngoài ra khi giảm điện thế cung cấp, lẻ nhiễu của tế bào nhớ sẽ giảm. Từ đó làm giảm độ ổn định của bộ nhớ. Một vấn đề khác là khả năng bị lỗi mềm (soft error) cũng tăng lên. Bên cạnh đó, sai lệch trong quá trình chế tạo như thay đổi chiều dài kênh, độ rộng kênh, thế ngưỡng, nồng độ pha tạp v.v cũng gây ra các lỗi trong hoạt động của bộ nhớ. Vì vậy, việc chọn kích thước cho các transistor để tế bào nhớ đạt được sự tối ưu về công suất, diện tích và độ ổn định là cực kỳ quan trọng.

Thông thường để đánh giá độ ổn định của tế bào nhớ, người thiết kế sẽ sử dụng các công cụ vẽ sơ đồ mạch, trích xuất file nestlist, thiết lập các chế độ mô phỏng tương ứng cho từng loại thông số và tiến hành mô phỏng dùng SPICE. Công việc này tiêu tốn nhiều thời gian trong quá trình thiết kế, và dễ gặp các lỗi không mong muốn trong quá trình mô phỏng khi phải lặp lại các bước trên cho các transistor có kích thước khác nhau. Mặc dù phương pháp Monte Carlo thường được sử dụng để đánh giá ảnh hưởng của sai số trong quá trình chế tạo do có ưu điểm về độ chính xác, nhưng thời gian mô phỏng dùng phương pháp này sẽ rất lớn nếu muốn bao quát tất cả các góc (corner) khác nhau [2]. Do đó việc phát triển một công cụ phân tích tự động

Abstract - Analysing specifications of memory cells using SPICE is an important and time - consuming step in the SRAM design flow. This is because the simulation must be repeated time after time to find optimized parameters. In this paper, we present a tool (called MEAN, Memory Cell Analysis Tool) used for analysing and designing SRAM cells automatically. The reading and writing stabilities of the SRAM cell are evaluated by using both the butterfly curve and the N-curve. In addition, leakage power, soft errors, and the effects of process variations are also automatically evaluated by the tool. Particularly, by utilizing the worst-case analyzing model instead of Monte Carlo simulation, the time needed for analyzing the effects of process variations on the stability of SRAM cells is reduced dramatically. 6T and 8T cells are evaluated and compared by this tool in 90nm CMOS technology. The results shows that the stability of 8T is higher than that of 6T but it also consumes more power and area.

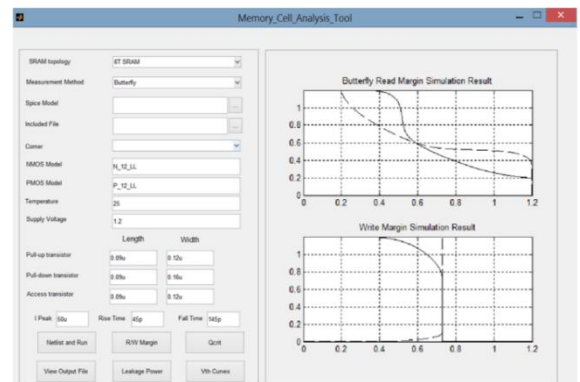
Key words - sram; monte carlo; snm; 6T; 8T.

cho tế bào nhớ là hết sức cần thiết.

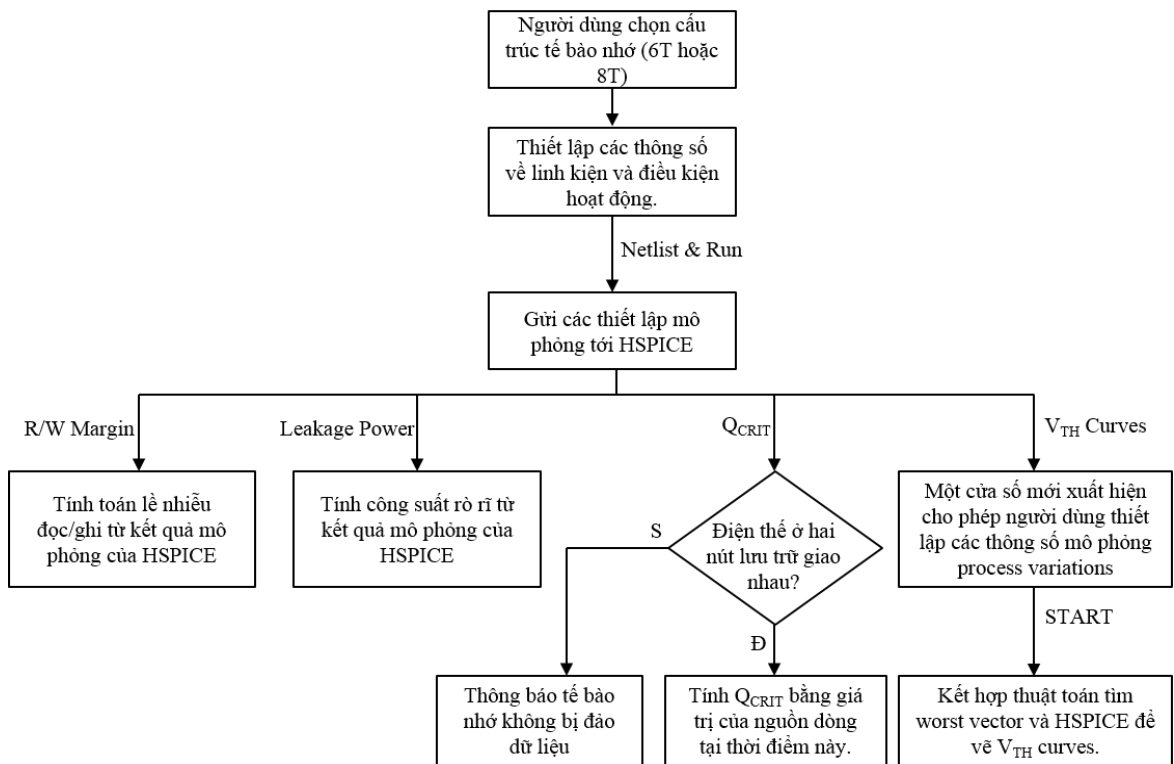
Trong các năm gần đây đã có một số công trình hướng tới việc tự động hóa cho thiết kế mạch tương tự [3], TASE [4], nhưng các công cụ này không được tối ưu cho việc mô phỏng tế bào nhớ SRAM. Chúng tập trung vào việc hỗ trợ người thiết kế tự động hóa quá trình mô phỏng bằng cách thiết lập macro hoặc template. Do đó vẫn đòi hỏi người sử dụng tốn nhiều thời gian cho việc nghiên cứu các phương pháp đánh giá SRAM và tự thiết lập chế độ mô phỏng Monte Carlo.

2. Giải quyết vấn đề

Trong bài báo này, chúng tôi sẽ trình bày một công cụ (MEAN-Memory Cell Analysis Tool) được chúng tôi phát triển nhằm giải quyết các vấn đề được nêu ở phần trên. Nhờ được tối ưu cho việc phân tích tế bào nhớ SRAM, nên tất cả chế độ mô phỏng đều được tự động hóa và được liên kết trực tiếp với bộ mô phỏng HSpice. Dựa trên các báo cáo của công cụ (gồm các file text, biểu đồ, v.v) người thiết kế sẽ đánh giá được độ ổn định của tế bào nhớ. Công cụ được phát triển trên Matlab.



Hình 1. Giao diện của công cụ được thiết kế



Hình 2. Quy trình đánh giá thông số tế bào nhớ dùng công cụ

Các phương pháp phân tích hiện đang được dùng trong công nghiệp cũng như các phương pháp mới được đề nghị gần đây được chúng tôi tích hợp vào công cụ MEAN. Trong đó, phương pháp phân tích worst-case [2] được sử dụng thay cho phương pháp Monte Carlo nhằm rút ngắn thời gian mô phỏng nhưng vẫn cho độ chính xác tương đương. Dựa trên phương pháp này, chúng tôi cũng tiến hành đánh giá độ ổn định của 2 loại tế bào nhớ phổ biến nhất hiện nay là 6T và 8T [5].

Hai trong những đóng góp chính của bài báo là kết hợp tự động Matlab và bộ mô phỏng Hspice và trích xuất các tham số cho phương pháp worst-case từ file mô hình của linh kiện khi các tham số này không tường minh.

Nội dung của bài báo gồm các phần sau: Giao diện của công cụ MEAN được chúng tôi giới thiệu trong Mục 3; Mục 4 sẽ trình bày các phương pháp phân tích được công cụ hỗ trợ; Mục 5 trình bày sự khác biệt giữa công cụ được thiết kế so với TASE, do hiện đây là phần mềm duy nhất có hỗ trợ thiết kế SRAM; Mục 6 trình bày các kết quả phân tích thu được sau khi thực thi chương trình với công nghệ 90nm; Mục 7 là các kết luận chính của bài báo.

3. Giao diện

Hình 1 mô tả giao diện của công cụ với các chức năng chính như sau:

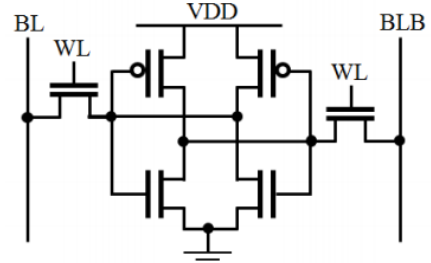
- Cho phép thiết lập các điều kiện mô phỏng như nhiệt độ, thể cung cấp, góc, kích thước linh kiện, nguồn dòng v.v.
- Hỗ trợ hai kiến trúc tế bào nhớ SRAM 6T và 8T.
- Hỗ trợ mô phỏng bằng phương pháp butterfly curve hoặc N-curve cho lẻ nhiều đọc.
- Đánh giá khả năng ghi của tế bào nhớ.

- Hỗ trợ mô phỏng khả năng chống lỗi mềm và công suất rò rỉ.

- Hỗ trợ thuật toán tìm worst-case vector để đánh giá ảnh hưởng của sai số trong quá trình chế tạo lên tế bào nhớ.

Lưu đồ thực thi của công cụ được trình bày như ở Hình 2. Khi chọn chức năng “Netlist & Run”, công cụ sẽ tự động chuyển các thiết lập trên giao diện thành file netlist theo cấu trúc của HSPICE và yêu cầu thực hiện mô phỏng. Sau khi phần mềm mô phỏng hoàn tất công việc, công cụ sẽ tự động tiến hành phân tích các đặc tính dòng và thế để tính toán các thông số như lẻ nhiều đọc, ghi, công suất rò rỉ, lỗi mềm v.v. Ngoài ra, mục chọn “ V_{TH} Curves”, sẽ hỗ trợ việc đánh giá sai số của quá trình chế tạo bằng phương pháp worst-case [2].

4. Các loại phân tích được hỗ trợ



Hình 3. Sơ đồ mạch của một tế bào nhớ 6T.

Hình 3 là sơ đồ mạch của một tế bào nhớ 6T gồm hai mạch inverter. Hai cổng NMOS có cực máng nối với hai đường dữ liệu (BL và BLB) để điều khiển ba chế độ hoạt động của tế bào nhớ: giữ dữ liệu, đọc, và ghi. Lẻ nhiều giữ và lẻ nhiều đọc là các thông số dùng để đánh giá khả năng

bảo toàn dữ liệu của một tế bào nhớ. Thông thường, lẽ nhiều đọc sẽ nhỏ hơn và quan trọng hơn so với lẽ nhiều ghi. Lẽ nhiều ghi (hay khả năng ghi) là thông số đánh giá mức độ dễ/khó khi ghi dữ liệu lên một tế bào nhớ.

4.1. Phân tích lẽ nhiều dữ và đọc

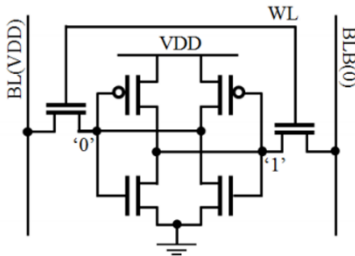
Có hai cách để thực hiện mô phỏng lẽ nhiều đọc (cũng như lẽ nhiều ghi), đó là phương pháp butterfly curve [7] và N-curve [8]. Mặc dù mạch thực hiện mô phỏng theo phương pháp N-curve đơn giản và có thể dễ dàng được đưa vào quá trình kiểm tra tự động, hiện nay, phương pháp butterfly curve vẫn được sử dụng rộng rãi trong công nghiệp. Do đó, cả hai phương pháp trên đều được công cụ này hỗ trợ.

4.2. Phân tích lẽ nhiều ghi

Có nhiều cách khác nhau để đánh giá khả năng ghi của tế bào nhớ. Trong đó phương pháp mô phỏng lại quá trình ghi bằng cách đưa một đường bitline xuống mức logic thấp, một đường lên mức logic cao, và tiến hành tăng điện thế trên đường WL từ GND lên đến VDD được đề nghị trong [6] (Hình 4), là chính xác và thích hợp nhất cho các công nghệ CMOS dưới micron như hiện nay. Do vậy, phương pháp này được áp dụng trong công cụ. Cách tiến hành mô phỏng cũng tương tự như trong chế độ đọc.

4.3. Phân tích lỗi mềm

Để đánh giá khả năng chống lại lỗi mềm của một tế bào nhớ, ta thường dùng thông số Q_{crit} [9] đặc trưng cho lượng điện tích tối thiểu, sinh ra do hạt alpha hoặc neutron, cần để lật giá trị được lưu trong tế bào nhớ. Thông số này có thể phân tích được bằng cách đặt một nguồn dòng theo hàm mũ e vào một trong các nút lưu trữ và tiến hành thay đổi giá trị đỉnh của nguồn dòng cho đến khi dữ liệu được lưu bị thay đổi.



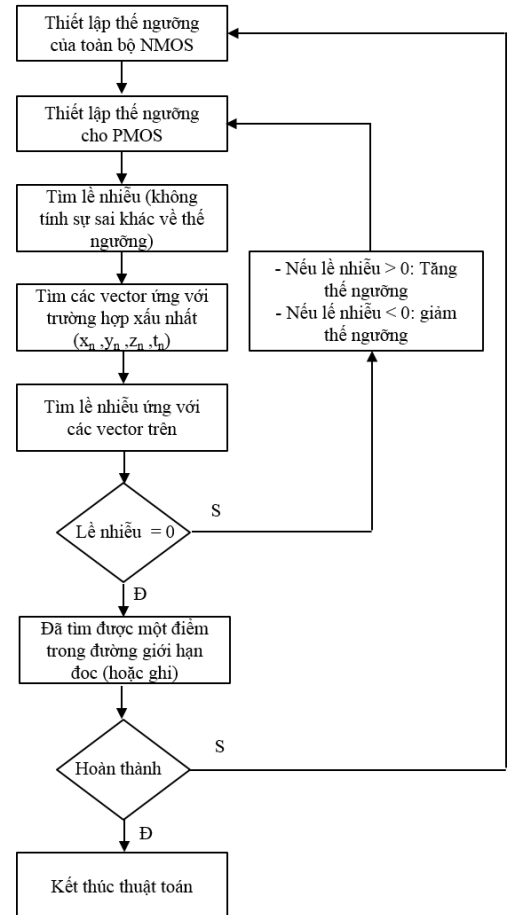
Hình 4. Mạch mô phỏng khả năng ghi của một tế bào nhớ.

4.4. Phân tích ảnh hưởng của sai số trong quá trình chế tạo

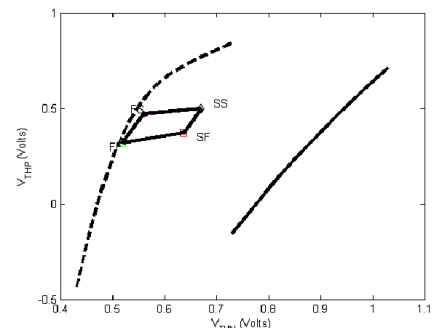
Đối với tế bào nhớ 6T, tỉ lệ giữa các transistor kéo xuống trong mạch inverter và cổng NMOS sẽ ảnh hưởng đến lẽ nhiều đọc và ghi. Đồng thời, các kích thước transistor khác nhau cũng sẽ có công suất rò rỉ và khả năng chống lỗi mềm khác nhau. Do đó, để chọn kích thước linh kiện sao cho đạt được hiệu năng tối ưu giữa diện tích, công suất, tốc độ và độ ổn định đòi hỏi người thiết kế phải lặp lại các loại mô phỏng trên nhiều lần.

Thuật toán worst-case gồm các bước như mô tả ở Hình 5. Đầu tiên, thế ngưỡng của toàn bộ các NMOS hoặc PMOS sẽ được thiết lập như nhau dựa trên số điểm cần vẽ và các góc mà người sử dụng đã cung cấp. Sau đó phần mềm mô phỏng sẽ được thực thi dựa trên các thông số này. Từ kết quả mô phỏng công cụ sẽ rút ra giá trị lẽ nhiều đọc

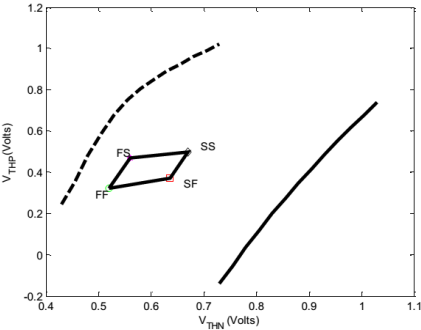
hoặc ghi. Dựa trên kết quả vừa tìm được, worst-case vector được tính toán và áp vào thế ngưỡng của NMOS và PMOS nhằm mô phỏng ảnh hưởng của sai số trong quá trình chế tạo lên lẽ nhiều đọc hoặc ghi. Nếu giá trị mới bằng 0 thì ta đã tìm được một điểm trong đường giới hạn đọc hoặc ghi. Ngược lại, thế ngưỡng của PMOS sẽ được thay đổi sao cho các lần mô phỏng sau sẽ tiến gần hơn tới đường giới hạn đọc hoặc ghi. Nếu công cụ đã tìm được toàn bộ các điểm cần vẽ như người sử dụng yêu cầu thì quá trình mô phỏng đã hoàn thành. Trái lại, giá trị của toàn bộ NMOS sẽ được thay đổi để tìm thêm các điểm khác trong đường giới hạn đọc hoặc ghi.



Hình 5. Sơ đồ thuật toán tìm worst-case vector



Hình 6. Kết quả mô phỏng sai số trong quá trình chế tạo lên tế bào nhớ 6T



Hình 7. Kết quả mô phỏng sai số trong quá trình chế tạo lên tế bào nhớ 8T

Kết quả phân tích worst-case của 6T và 8T ở công nghệ 90nm được trình bày ở Hình 6 và Hình 7. Trong đó, 4 góc FF, FS, SF, và SS hình thành một hình thoi nhằm mô tả vùng giá trị thể ngưỡng có thể có của NMOS và PMOS ứng với công nghệ được sử dụng. Đường cong bên trái mô tả đường giới hạn lê nhiều đọc, gồm tập hợp các giá trị thể ngưỡng của NMOS và PMOS khiến cho lê nhiều đọc bằng 0. Tương tự, đường cong bên phải là đường giới hạn lê nhiều ghi. Vùng diện tích giữa hai đường cong trên là tập hợp các giá trị thể ngưỡng của NMOS và PMOS, mà tại đó tế bào SRAM vẫn có thể hoạt động bình thường. Như vậy, nếu hình thoi các góc hoàn toàn nằm trong vùng diện tích giữa đường cong giới hạn đọc và ghi như Hình 7, thì tế bào nhớ vẫn có thể hoạt động dưới ảnh hưởng của sai số trong quá trình chế tạo và đạt được sản lượng yêu cầu. Ngược lại, nếu chỉ có một phần nằm ngoài một trong hai đường cong này như ở Hình 6 thì sản lượng của tế bào nhớ sẽ thấp hơn giá trị người thiết kế mong muốn. Kết quả phân tích cho thấy 8T có độ ổn định cao hơn 6T.

Để thuật toán đánh giá chính xác độ ổn định của tế bào nhớ, người thiết kế cần có được thông số $A_{\Delta V_t}$, đặc trưng cho ảnh hưởng của quá trình chế tạo ở nhà máy lên NMOS và PMOS. Tuy nhiên, thông số này được mã hóa trong thư viện và chỉ có thể được giải mã bởi một số công cụ mô phỏng như HSPICE hoặc SPECTRE khi mô phỏng Monte Carlo, nhằm bảo đảm bí mật cho dây chuyền sản xuất của nhà máy. Do đó, người thiết kế chỉ có thể ước lượng các thông số này. Phương pháp ước lượng của chúng tôi dựa trên công thức quan hệ giữa $A_{\Delta V_t}$ và phương sai của thể ngưỡng như trình bày ở (1).

$$\sigma_{\Delta V_t}^2 = A_{\Delta V_t}^2 / WL$$

(1)

Trong đó, W là độ rộng kênh và L là chiều dài kênh của MOSFET. Để ước lượng $A_{\Delta V_t}$ cho NMOS hoặc PMOS, chúng tôi sẽ tiến hành mô phỏng Monte Carlo một mạch đơn giản với một MOSFET duy nhất, với nhiều cặp giá trị W và L ở nhiều nhiệt độ khác nhau. Dựa trên kết quả mỗi lần mô phỏng ta sẽ dễ dàng tính được giá trị phương sai ($\sigma_{\Delta V_t}$) tương ứng theo phương pháp thống kê. Cuối cùng, chúng tôi sẽ sử dụng phương pháp nội suy bình phương nhỏ nhất (Least Square) đối với phương trình bậc một để ước lượng $A_{\Delta V_t}$. Trong đó, đặt $y = \sigma_{\Delta V_t}^2$, $x = 1/WL$, $a = A_{\Delta V_t}^2$, và $b = 0$. Lưu ý rằng ở đây ta bắt buộc phải dùng mô phỏng Monte Carlo, nhưng số lần mô phỏng và thời gian mô phỏng không đáng kể so với khi thiết kế tế bào nhớ. Đặc biệt, ta chỉ cần tìm $A_{\Delta V_t}$ một lần cho một gói công nghệ, nên vẫn tiết kiệm được thời gian thiết kế.

Bảng 1 so sánh số lần thực hiện mô phỏng của phương pháp worst-case với các phương pháp khác đối với phương sai là 6. Có thể thấy phương pháp worst-case có tốc độ mô phỏng nhanh nhất, do ta chỉ thực hiện mô phỏng ở các điểm gần các đường giới hạn, còn phương pháp Monte Carlo thực hiện mô phỏng với toàn bộ các điểm trong và ngoài hai đường giới hạn, nên có thời gian mô phỏng rất lớn. Cuối cùng, phương pháp IS (Important Sampling) [10], mặc dù đã loại bỏ bớt các điểm nằm xa hai đường giới hạn, nhưng vẫn phải dựa trên mô phỏng Monte Carlo, nên số lần mô phỏng còn tương đối lớn.

Bảng 1. So sánh số lần mô phỏng của phương pháp worst - case so với các phương pháp khác

Phương sai	Độ tin cậy	Monte Carlo[10]	IS[10]	Worst-case
6	99%	6,60E+13	25000	4778

5. So sánh với công cụ TASE

Bảng 2 trình bày điểm giống và khác nhau giữa công cụ TASE và công cụ được thiết kế. Công cụ TASE nhắm tới việc cho phép người dùng tự động hóa quá trình mô phỏng bằng cách yêu cầu người sử dụng thiết lập các cấu trúc mạch mô phỏng và viết thêm các file script để rút trích các thông số muốn đo đạc. Trái lại, công cụ trong bài báo này sẽ tự động hóa toàn bộ quá trình trên, nhưng vẫn cho phép người dùng có thể thiết lập thêm các cấu trúc SRAM khác để mô phỏng. Do đó, người sử dụng có thể tập trung vào việc tối ưu kích thước của các transistors, mà không cần tiêu tốn thêm thời gian làm quen với công cụ. Ngoài ra, điểm khác biệt lớn nhất giữa 2 công cụ là cách thực hiện mô phỏng sai số trong quá trình chế tạo. Như đã trình bày ở phần 4.4, thời gian mô phỏng bằng phương pháp worst case ngắn hơn nhiều so với việc sử dụng mô phỏng Monte Carlo, nhưng vẫn cho độ chính xác cao.

Bảng 2. So sánh với công cụ TASE

Thông số	TASE [4]	MEAN
Ngôn ngữ	Matlab & Perl	Matlab
Công nghệ	Không giới hạn	Không giới hạn
Kiến trúc	Tự thiết lập	6T và 8T (dễ mở rộng)
Thay đổi thông số mô phỏng	Có	Có
Lề nhiều đọc	Có	Butterfly & N - Curve
Lề nhiều ghi	Có	Có
Lỗi mềm	Tự thiết lập	Có
Công suất rò rỉ	Tự thiết lập	Có
Mô phỏng sai số trong quá trình chế tạo	Monte Carlo	Worst-case

6. Các kết quả phân tích ở công nghệ 90nm

Bảng 3 trình bày phân tích thiết kế tế bào nhớ SRAM 6T và 8T từ công cụ với công nghệ CMOS 90nm.

Có thể thấy đối với 6T, lề nhiều đọc luôn thấp hơn 8T với cả 2 phương pháp là Butterfly Curve và N – Curve. Do

đó, khi chịu ảnh hưởng từ sai số trong quá trình chế tạo, 6T mất ổn định ở các điểm gần góc FF. Trong khi 8T có hình thoi các góc cách xa các đường giới hạn đọc và ghi, cho thấy loại kiến trúc này có độ ổn định cao.

Bảng 3. Các kết quả phân tích với công nghệ 90nm

Thông số	6T	8T
Lề nhiễu đọc – Butterfly Curve (V)	0,185	0,463
Lề nhiễu đọc – N - Curve (V)	0,398	0,536
Lề nhiễu ghi (V)	0,472	0,472
Công suất rò rỉ (pW)	32,7	47,3
Q_{Crit} (fC)	4,2	4,35
Độ ổn định	Mất ổn định ở góc FF	Thỏa

Tuy nhiên, công suất rò rỉ và diện tích của 8T cũng cao hơn so với 6T. Các nhược điểm này sẽ giới hạn dung lượng của bộ nhớ sử dụng 8T và có giá thành cao hơn. Do đó 8T sẽ thích hợp cho các ứng dụng đòi hỏi độ chính xác cao như bộ nhớ đệm cho server của các ngân hàng hoặc trong các ứng dụng truyền thông.

Cuối cùng, thông số Q_{Crit} của hai loại tế bào nhớ này không có nhiều khác biệt và tương đối thấp. Do đó trong các ứng dụng đặc biệt, để có khả năng chống lỗi mềm cao, cần sử dụng các kiến trúc tế bào nhớ khác hay thêm vào các mạch và kỹ thuật chống lỗi mềm.

7. Kết luận

Trong bài báo này, chúng tôi đã giới thiệu một công cụ hỗ trợ cho việc thiết kế tế bào nhớ SRAM. Công cụ sử dụng các phương pháp mô phỏng để đánh giá các đặc tính của tế bào nhớ. Đặc biệt, nhờ áp dụng mô hình worst-case, tốc độ mô phỏng sai số trong quá trình chế tạo được rút ngắn đáng kể.

Ngoài ra, hai loại kiến trúc phổ biến nhất hiện nay là 6T và 8T cũng được so sánh ở công nghệ 90nm. Có thể thấy, tùy vào yêu cầu của ứng dụng cần độ chính xác cao hay cần

giá thành rẻ mà người thiết kế sẽ chọn kiến trúc 8T hoặc 6T. Đặc biệt, cả hai kiến trúc đều dễ bị ảnh hưởng bởi lỗi mềm. Do đó, các bộ nhớ đệm hiện nay cần ứng dụng thêm một số kiến trúc hoặc kỹ thuật để hạn chế ảnh hưởng từ các hạt alpha và beta từ môi trường ngoài.

Lời cảm ơn

Nghiên cứu này được tài trợ bởi Đại học Quốc gia Thành phố Hồ Chí Minh (VNU-HCM) trong khuôn khổ đề tài mã số C2013-18-02.

TÀI LIỆU THAM KHẢO

- [1] ITRS: International technology road map for semiconductors, test and test equipments. <http://public.itrs.net/>, 2012.
- [2] Y. Tsukamoto, et al., “Worst-case analysis to obtain stable read/write DC margin of high density 6T-SRAM-array with local V_{th} variability”, *Proc. IEEE Int. Conf. Computer-Aided Design*, 2005, tr. 398–405.
- [3] P. B. Wu, et al., “AMODA: A Flexible Framework for Automatic Migration of Analog Macro Designs Using Optimization Techniques”, *Midwest Symp. on Circuits and Systems*, 2000, tr. 988–991.
- [4] S. Nalam, M. Bhargava, K. Ringgenberg, K. Mai, and B.H. Calhoun, “A Technology-Agnostic Simulation Environment (TASE) for Iterative Custom IC Design across Processes”, *IEEE International Conference on Computer Design*, 2009, tr. 523–528.
- [5] L. Chang, R. K. Montoye, Y. Nakamura, K. A. Batson, R. J. Eickmeyer, R. H. Dennard, W. Haensch and D. Jamsek, “An 8T-SRAM for variability tolerance and low-voltage operation in high-performance caches”, *IEEE J. Solid-State Circuits*, tập 43 (4), 2008, tr. 956–963.
- [6] N. Gierczynski et al, “A new combined methodology for write-margin extraction of advanced SRAM”, *IEEE Int. Conf. on Microelectronic Test Structures*, 2007, tr. 97–100.
- [7] K. Ishibashi and K. Osada, *Low Power and Reliable SRAM Memory Cell and Array Design*, Springer Series in Advanced Microelectronics, 2011.
- [8] J. Wang, S. Nalam and B. H. Calhoun, “Analyzing static and dynamic write margin for nanometer SRAMs”, *Proc. Int. Symp. Low Power Electron. Design*, 2008, tr. 129–134.
- [9] G. C. Messenger, “Collection of charge on junction nodes from ion tracks”, *IEEE Trans. Nucl. Sci.*, tập 29 (6), 1982, tr. 2024–2031.
- [10] T. Kida, Y. Tsukamoto, and Y. Kihara, “Optimization of Importance Sampling Monte Carlo using Consecutive Mean-shift Method and its Application to SRAM Dynamic Stability Analysis”, *Proc. IEEE Int. Sym. Quality Electronic Design*, 2012, tr. 572–579.

(BBT nhận bài: 20/12/2014, phản biện xong: 30/03/2015)