

THIẾT KẾ MẠCH LDO ĐẦU VÀO DẢI RỘNG SỬ DỤNG CÔNG NGHỆ CMOS 180 nm

DESIGNING WIDE-RANGE LDO CIRCUIT USING 180 nm CMOS PROCESS

Nguyễn Hữu Thọ, Nguyễn Thế Quang*

Học viện Kỹ thuật Quân sự; quangnt@mta.edu.vn

Tóm tắt - Bài báo này trình bày về thiết kế mạch ổn áp tuyến tính điện áp rơi thấp (LDO) đạt được dải rộng của điện áp đầu vào trên công nghệ CMOS TSMC 180 nm. Nghiên cứu về mạch LDO cho thấy, để đạt được dải điện áp đầu vào rộng, các đề xuất trước đây sử dụng kiến trúc mạch phức tạp, xếp chồng nhiều tầng LDO, điều này dẫn đến tiêu thụ nhiều công suất và diện tích chiếm. Do vậy, trong bài báo này nhóm tác giả đề xuất một kiến trúc mạch LDO đơn giản sử dụng một mạch đơn giản ở đầu vào để mở rộng dải điện áp làm việc của mạch LDO. Thêm vào đó, để cải thiện chất lượng của mạch LDO, kỹ thuật suy giảm trở kháng bộ đệm đã được thực hiện để điều khiển thiết bị công suất PMOS. Kết quả mô phỏng cho thấy LDO đạt được dải điện áp đầu vào rộng từ 3,6 V đến 12,6 V và một điện áp rơi thấp 300 mV.

Từ khóa - Điện áp đầu vào dải rộng; mạch quản lý nguồn; mạch ổn áp tuyến tính điện áp rơi thấp.

1. Đặt vấn đề

Ngày nay cùng với sự phát triển của công nghệ bán dẫn và chế tạo CHIP thì các mạch tích hợp quản lý nguồn cũng trở nên hấp dẫn với các ứng dụng cho các thiết bị điện di động công suất thấp như điện thoại di động, Internet vạn vật (IoT), mạng cảm biến không dây (Wireless sensor network) và các thiết bị cấy dưới da trong y sinh. Trong đó, mạch ổn áp tuyến tính điện áp rơi thấp (Low-dropout regulator) đóng một vai trò quan trọng để cung cấp điện áp nguồn chính xác và sạch cho các thiết bị điện di động [1].

Những năm gần đây, thiết kế mạch ổn áp tuyến tính điện áp rơi thấp (LDO: low-dropout regulator) đã trở nên nhiều thách thức hơn do nhu cầu tăng của các LDO chất lượng cao phục vụ cho các thiết bị di động. Nhiều phương thức để cải tiến kiến trúc của mạch LDO truyền thống đã được đề xuất. Các nghiên cứu về LDO tập trung vào cải thiện tỷ số loại bỏ tạp âm nguồn cung cấp [2, 4], cực đại dòng đầu ra để cung cấp một khoảng rộng của tải [6], cực tiểu dòng tiêu thụ tĩnh để tiết kiệm công suất [3, 5, 9]. Ngoài ra, các mạch LDO cũng được nghiên cứu và ứng dụng trong công nghệ mới về cảm biến nhiệt độ [10]. Tuy nhiên, hầu hết các mạch tích hợp LDO này chỉ làm việc hiệu quả với một giá trị điện áp đầu vào xác định (thường từ 2-5 V). Khi điện áp đầu vào lớn hơn 5 V, các LDO với dải điện áp đầu vào điển hình sẽ bị phá hủy. Điều này sẽ hạn chế phạm vi ứng dụng của mạch LDO vì như trong các ứng dụng thu thập năng lượng, nguồn năng lượng để thu thập là khác nhau (ánh sáng, nhiệt, độ rung, vô tuyến) nên điện áp đầu vào mạch LDO cũng sẽ khác nhau. Để khắc phục điều này thì một LDO hoạt động với dải rộng của điện áp đầu vào đã được đề xuất trong [7, 8, 11]. Trong [11], một kỹ thuật suy giảm trở kháng của bộ đệm đã được đề xuất để cải thiện dải điện áp đầu vào tuy nhiên dải điện áp đầu vào chưa thực sự rộng (từ 2.5 – 5.5 V). Dải điện áp đầu vào đạt được rộng hơn trong [7] và [8] (3.9 – 20 V trong [7], 4 – 40 V trong [8]). Tuy nhiên, các đề xuất này sử dụng kiến trúc LDO nhiều tầng, dẫn đến tăng công suất tiêu thụ

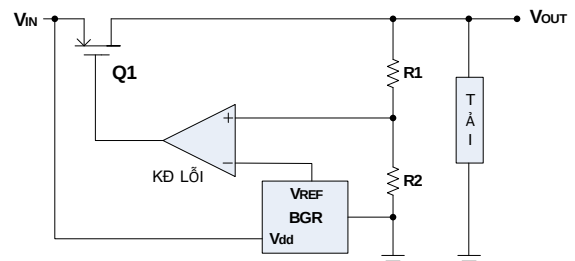
Abstract - This paper presents a Low-dropout regulator (LDO) with wide range input voltage on 180 nm TSMC CMOS process. The LDO circuits in the literature with wide range input voltage use complex circuit architecture, cascode some LDOs with so much power dissipation and area. For this reason, this paper proposes a simple LDO including an added block at input to extend operation range. In addition, to further improve LDO performances, buffer impedance attenuation technique is realized to build an intermediate stage for driving the PMOS pass device. The simulation shows the LDO circuit obtains 3.6 V to 12.6V of input voltage and a low dropout voltage of 300 mV.

Key words - Wide range input voltage; voltage manager circuit; low dropout regulator.

và diện tích chiếm. Trong bài báo này, nhóm tác giả đề xuất cải tiến cấu trúc mạch LDO bằng cách thêm các mạch đơn giản vào mạch LDO truyền thống để LDO làm việc với dải rộng của điện áp đầu vào và tiêu thụ ít công suất cũng như diện tích chiếm nhỏ.

2. Mạch LDO truyền thống

Sơ đồ khối của mạch LDO truyền thống được thể hiện như trên Hình 1. Mạch LDO bao gồm một mạch tạo điện áp tham chiếu (BGR), một mạch khuếch đại lỗi, một bóng bán dẫn công suất PMOS (Q1) và một mạng điện trở phản hồi.



Hình 1. Sơ đồ khối của mạch LDO truyền thống

Các điện trở chia điện áp (R_1 , R_2), mạch khuếch đại lỗi và bóng bán dẫn công suất tạo thành một vòng phản hồi âm. Khi dòng ra tải thay đổi, điện áp đầu ra V_{OUT} cũng thay đổi. Điện áp này thông qua hai điện trở phân áp R_1 và R_2 để so sánh với điện áp tham chiếu cố định V_{REF} . Sự so sánh này sẽ được mạch khuếch đại lỗi chuyển thành điện áp điều khiển bóng bán dẫn công suất Q_1 để tăng hoặc giảm dòng cung cấp ra tải. Giả sử điện áp V_{OUT} tăng, dẫn đến tăng điện áp trên cực cổng của Q_1 . Kết quả là giảm dòng chạy qua Q_1 , giảm V_{OUT} . Như vậy, với vòng hồi tiếp âm này, điện áp V_{OUT} luôn được giữ ở mức không đổi. Ta có mối quan hệ giữa điện áp đầu ra và điện áp tham chiếu như sau:

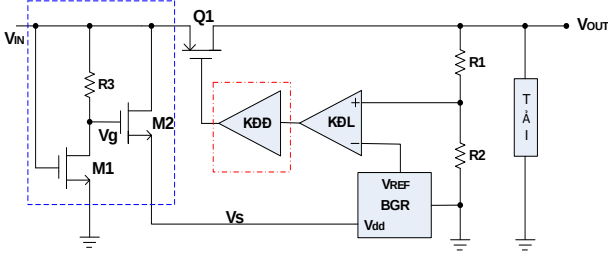
$$V_{OUT} = V_{REF} \cdot \left(1 + \frac{R_2}{R_1} \right) \quad (1)$$

Từ công thức (1) cho thấy, rõ ràng V_{OUT} không phụ thuộc vào điện áp đầu vào.

3. Miêu tả mạch LDO đề xuất

Trong các mạch LDO thông thường, điện áp đầu vào được nối trực tiếp tới điện áp nguồn cấp cho mạch BGR. Khi V_{IN} lớn, mạch BGR lỗi để tạo ra giá trị điện áp tham chiếu V_{REF} không đổi do một vài bóng bán dẫn rơi vào miền tuyến tính. Thành ra, dải hoạt động mà BGR tạo ra V_{REF} không đổi giới hạn dải hoạt động của mạch LDO. Trong trường hợp để tăng dải đầu ra của BGR, tất cả các bóng bán dẫn MOS nên hoạt động trong miền bão hòa dưới điều kiện V_{IN} cao. Vì vậy, dòng của BGR nên được tăng để giữ cho các bóng bán dẫn trong miền bão hòa, dẫn đến tăng công suất tiêu thụ.

Sơ đồ khối của mạch LDO đề xuất được thể hiện trên Hình 2. Một tầng khuếch đại xếp chồng (gồm tầng khuếch đại cực nguồn chung (M1, R3) mắc nối tiếp với tầng khuếch đại cực máng chung (M2)) được thêm vào để mở rộng khoảng hoạt động của BGR so với mạch LDO truyền thống. Trong đó, thay vì kết nối trực tiếp V_{IN} tới nguồn cung cấp của mạch BGR thì bây giờ nguồn cung cấp cho mạch BGR được lấy từ cực nguồn của bóng bán dẫn M2.



Hình 2. Sơ đồ khối của mạch LDO đề xuất

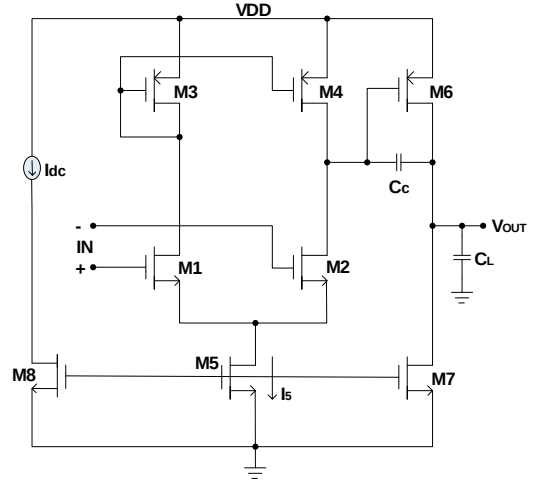
Mạch bao gồm M1, M2 và R3 giảm trở kháng tại cực nguồn của bóng bán dẫn M2. Khi điện áp cực công của M1 tăng lên, điện áp cực công của M2 (V_g) giảm và điện áp đầu ra (V_s) của tầng cực máng chung (M2 và BGR) thấp hơn V_g một giá trị bằng điện áp ngưỡng của bóng bán dẫn. Thành ra, V_s có sự thay đổi nhỏ hơn với sự thay đổi của điện áp đầu vào (V_{IN}). Như một kết quả, dải làm việc của mạch LDO được tăng và đầu ra của mạch BGR (V_{REF}) sẽ ổn định hơn vì điện áp nguồn cung cấp của mạch BGR ít nhạy hơn với sự thay đổi của điện áp đầu vào.

Để cải thiện chất lượng của mạch LDO, kỹ thuật suy giảm trở kháng bộ đệm đã được đề xuất để thực hiện một tầng kết nối bên trong cho việc điều khiển thiết bị công suất PMOS [11]. Để không làm tăng công suất tiêu thụ của mạch, chúng tôi đề xuất sử dụng một tầng khuếch đại nguồn chung đơn giản theo sau tầng khuếch đại lỗi như thể hiện trên Hình 2. Tầng khuếch đại này được sử dụng để tăng hệ số khuếch đại cho bộ khuếch đại lỗi trong mạch LDO cơ bản. Sử dụng phương pháp này, hệ số khuếch đại của bộ khuếch đại lỗi khi đã tăng sẽ nhanh chóng làm bù điện áp giữa điện áp tham chiếu và điện áp phản hồi từ mạng điện trở. Điều này giúp cho mạch LDO đạt được sự thay đổi điện áp đầu ra nhỏ với các điện dung tải khác nhau.

3.1. Thiết kế mạch khuếch đại lỗi và mạch khuếch đại điều khiển thiết bị PMOS

Mạch khuếch đại lỗi trong mạch LDO đề xuất là một tầng khuếch đại vi sai đơn giản và mạch khuếch đại điều

khiển thiết bị PMOS là một tầng khuếch đại đơn, kiểu nguồn chung. Như vậy, việc thiết kế mạch khuếch đại lỗi và mạch khuếch đại điều khiển thiết bị PMOS trở thành thiết kế mạch khuếch đại thuật toán hai tầng với kỹ thuật bù tần số bằng tụ điện (C_C) như được thể hiện trên Hình 3.



Hình 3. Sơ đồ nguyên lý của mạch khuếch đại lỗi và mạch khuếch đại điều khiển thiết bị PMOS

Bảng 1. Các chỉ tiêu kỹ thuật của mạch khuếch đại thuật toán hai tầng

Tham số	Chất lượng
Thư viện công nghệ	TSMC 180nm
Tiêu thụ công suất	< 1mW
Tải (C_L)	2pF
Hệ số khuếch đại một chiều	$A_{DC} \geq 3000$
Băng thông khuếch đại	$GBW \geq 20$ MHz
Tốc độ chuyển mạch tín hiệu	$SR \geq 10V/\mu$
Dải điện áp chế độ chung đầu vào	$1V \leq ICMR \leq 1.5V$
Dải động đầu ra	$0.7V \leq V_{OUT} \leq 1.4V$
Độ dự trữ pha	$PM \geq 60^\circ$

Các chỉ tiêu kỹ thuật của mạch khuếch đại thuật toán hai tầng được thể hiện như trên Bảng 1, từ đó ta có quy trình thiết kế mạch như sau.

Ta có:

$$\frac{V_{OUT}}{V_{IN}} = \frac{A_{DC}(1 - s/z)}{(1 + s/p_1)(1 + s/p_2)} \quad (2)$$

Trong đó, z , p_1 và p_2 lần lượt là các điểm không và điểm cực của hàm truyền mạch tương ứng; và A_{DC} là hệ số khuếch đại một chiều của mạch:

$$p_1 = \frac{1}{g_{m2}C_C R_1 R_2}, p_2 = \frac{g_{m2}}{C_2} = \frac{g_{m2}}{C_L}, z = \frac{g_{m2}}{C_C} \quad (3)$$

$$A_{DC} = g_{m1}g_{m2}R_1R_2 \quad (4)$$

$$SR = \frac{I_5}{C_C} \quad (5)$$

$$GBW = \frac{g_{m1}}{2\pi C_C} \quad (6)$$

- Thiết kế để đạt được độ dự trữ pha $\geq 60^\circ$, ta có:

$$\arg\left(\frac{V_{OUT}}{V_{IN}}\right) = -\tan^{-1}\left(\frac{w}{z}\right) - \tan^{-1}\left(\frac{w}{p_1}\right) - \tan^{-1}\left(\frac{w}{p_2}\right) \quad (7)$$

tại $w = GBW$ và giả sử $z \geq 10GBW$ (8)

$$\arg\left(\frac{V_{OUT}}{V_{IN}}\right) = -\tan^{-1}\left(\frac{GBW}{10GBW}\right) - \tan^{-1}\left(\frac{g_{m1}g_{m2}R_1R_2C_C}{C_C}\right) - \tan^{-1}\left(\frac{GBW}{p_2}\right) \quad (9)$$

$$= -\tan^{-1}\left(\frac{1}{10}\right) - \tan^{-1}(A_{DC}) - \tan^{-1}\left(\frac{GBW}{p_2}\right) \quad (10)$$

từ đó:

$$-180^\circ + PM = -5.71 - 90^\circ - \tan^{-1}\left(\frac{GBW}{p_2}\right) \quad (11)$$

$$PM = 84.4^\circ - \tan^{-1}\left(\frac{GBW}{p_2}\right) \quad (12)$$

nếu $PM = 60^\circ$ thì ta có: $\tan^{-1}\left(\frac{GBW}{p_2}\right) = 24.3^\circ$,

$\frac{GBW}{p_2} = 0.45$, dẫn đến:

$$p_2 = 2.2 \times GBW \rightarrow \frac{g_{m2}}{C_L} = 2.2 \times \frac{gm_1}{C_C} \quad (13)$$

Từ (8) ta có:

$$g_{m2} = 10gm_1 \quad (14)$$

Từ (13) và (14) ta nhận được: $C_C = 0.22C_L$, chọn $C_C = 2p$ trong thiết kế này.

- Thiết kế để đạt được tốc độ chuyển mạch tín hiệu (SR), ta có:

$$SR = \frac{I_5}{C_C} \quad (15)$$

$$I_5 = SR \times C_C \geq 10 V_{US} \times 2p = 20uA \quad (16)$$

từ đó chọn $I_5 = 60uA$.

- Thiết kế cho M1, M2, ta có:

$$gm_1 = 2\pi \times C_C \times GBW = 2\pi \times 20MHz \times 2p = 251u \quad (17)$$

chọn $gm_1 = 260u$.

$$\left(\frac{W}{L}\right)_{1,2} = \frac{gm_1^2}{K_n \times 2I_1} = \frac{gm_1^2}{K_n \times I_5} = \frac{(260u)^2}{190u \times 60u} = 6 \quad (18)$$

chọn $\left(\frac{W}{L}\right)_{1,2} = 8$

- Thiết kế cho ICMR+, ta có:

$$\left(\frac{W}{L}\right)_{3,4} = \frac{2I_3}{K_p \times [V_{DD} - ICMR(+)] - v_{t3,max} + v_{t1,min}} \quad (19)$$

$$\left(\frac{W}{L}\right)_{3,4} = 8.34 \quad (20)$$

chọn $\left(\frac{W}{L}\right)_{3,4} = 10$.

- Thiết kế cho ICMR-, ta có:

$$V_{DS,SAT} = ICMR(-) - \sqrt{\frac{2I_1}{\beta_1}} - v_{t1,max} \quad (21)$$

$$= 1 - \sqrt{\frac{60u}{190u \times 8}} - 0.6 = 0.201V \quad (22)$$

$$\left(\frac{W}{L}\right)_5 = \frac{2I_5}{K_n \times [V_{DS,SAT}]^2} = \frac{2 \times 60u}{190u \times [0.201]^2} = 15.7 \quad (23)$$

chọn $\left(\frac{W}{L}\right)_5 = 16$.

- Thiết kế cho M6, ta có:

$$g_{m6} = 10gm_1 \text{ nên } g_{m6} = 2600u \quad (24)$$

$$\left(\frac{W}{L}\right)_6 = \left(\frac{W}{L}\right)_4 \frac{g_{m6}}{g_{m4}} = 10 \times \frac{2600}{170} \approx 150 \quad (25)$$

chọn $\left(\frac{W}{L}\right)_6 = 150$.

- Thiết kế cho M7, ta có:

$$I_7 = I_6 = \frac{g_{m6}^2}{2 \times K_p \times \left(\frac{W}{L}\right)_6} = \frac{2600^2}{2 \times 50 \times 150} \approx 450uA \quad (26)$$

$$\left(\frac{W}{L}\right)_7 = \left(\frac{W}{L}\right)_5 \frac{I_7}{I_5} = 16 \times \frac{450}{60} = 120 \quad (27)$$

chọn $\left(\frac{W}{L}\right)_7 = 120$.

- Xác định dải động của tín hiệu đầu ra: $V_{0,MIN}$, $V_{0,MAX}$:

$$V_{0,MIN} = V_{DSAT7} = \sqrt{\frac{2I_7}{K_n \times \left(\frac{W}{L}\right)_7}} = \sqrt{\frac{2 \times 450u}{190u \times 120}} \approx 0.2V < 0.7V \quad (28)$$

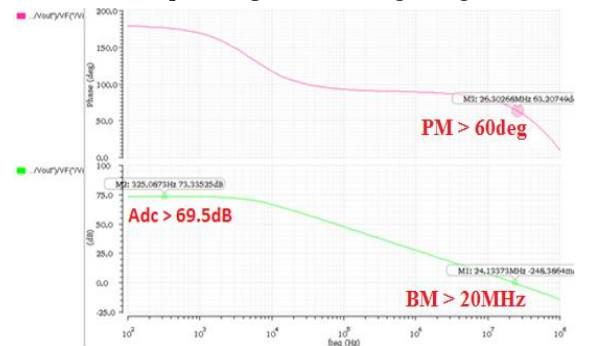
$$V_{0,MAX} = V_{DD} - V_{DSAT6} = V_{DD} - \sqrt{\frac{2I_6}{K_p \times \left(\frac{W}{L}\right)_6}} \quad (29)$$

$$= 1.8 - \sqrt{\frac{2 \times 450u}{50u \times 150}} \approx 1.45V > 1.4V$$

- Xác định công suất tiêu thụ của mạch:

$$P_{dis} = V_{DD} \times (I_5 + I_6) = 1.8 \times (450u + 60u) = 918uW < 1mW \quad (30)$$

Từ các tính toán trên, ta có bảng tổng kết các tham số thiết kế mạch khuếch đại thuật toán hai tầng trên Bảng 2 và kết quả mô phỏng mạch thiết kế trên Hình 4. Kết quả mô phỏng thể hiện rằng, mạch khuếch đại thuật toán hai tầng thiết kế thỏa mãn các chỉ tiêu kỹ thuật mong muốn với hệ số khuếch đại đạt 73.3dB, độ dự trữ pha bằng 63.2^o và băng thông là 24.1dB.



Hình 4. Kết quả mô phỏng mạch khuếch đại thuật toán hai tầng

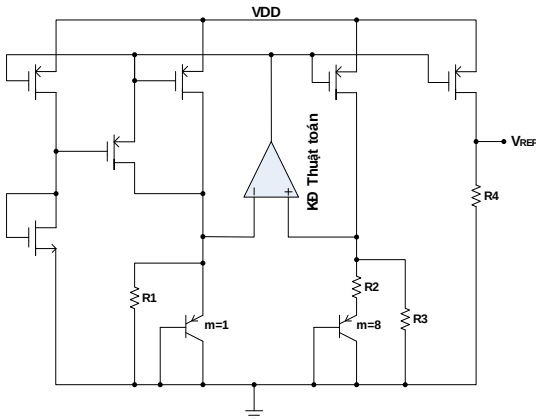
Bảng 2. Giá trị của các tham số mạch khuếch đại thuật toán sau khi thiết kế

Tham số	Giá trị
C_C	2pF
I_5	60uF
$(W/L)_{1,2}$	8
$(W/L)_{3,4}$	10
$(W/L)_{5,8}$	16
$(W/L)_6$	150
$(W/L)_7$	120

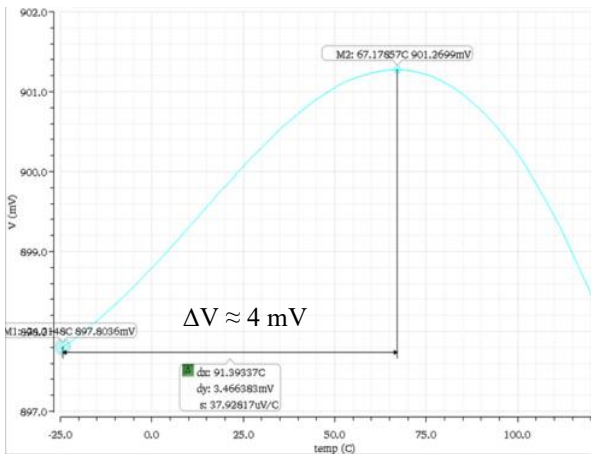
3.2. Thiết kế mạch tạo điện áp tham chiếu

Mạch BGR đóng một vai trò quan trọng trong cấu trúc của mạch LDO. Mạch BGR tạo điện áp tham chiếu ổn định không phụ thuộc vào nhiệt độ. Nếu điện áp đầu ra của mạch BGR, V_{REF} tăng theo nhiệt độ thì ta nói điện áp tham chiếu tỷ lệ thuận với nhiệt độ tuyệt đối (PTAT), ngược lại nếu V_{REF} giảm theo nhiệt độ thì khi đó điện áp tham chiếu tỷ lệ nghịch với nhiệt độ tuyệt đối (CTAT). Dựa trên nguyên lý này, mạch BGR được thiết kế theo sơ đồ nguyên lý như trên Hình 5 [12].

Trong đó, để đơn giản và thuận tiện trong quá trình thiết kế LDO thì nhóm tác giả đề xuất sử dụng mạch khuếch đại thuật toán hai tầng đã thiết kế ở trên làm mạch khuếch đại thuật toán trong mạch BGR. Kết quả mô phỏng điện áp tham chiếu được tạo ra từ mạch BGR được thể hiện trên Hình 6. Trong đó, với điện áp nguồn cung cấp 1.8 V thì mạch BGR tạo ra điện áp tham chiếu ổn định 900 mV, không phụ thuộc vào nhiệt độ với độ dịch điện áp chỉ xấp xỉ 4 mV.



Hình 5. Sơ đồ nguyên lý mạch BGR

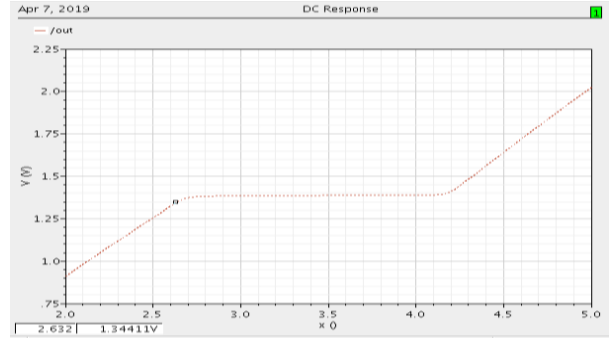


Hình 6. Kết quả mô phỏng điện áp đầu ra của mạch BGR

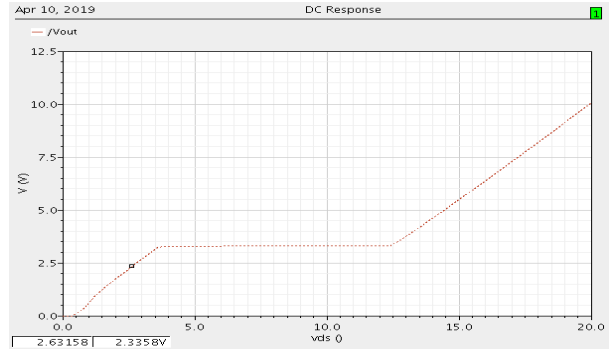
4. Kết quả mô phỏng

Để thấy được ưu điểm của mạch LDO cải tiến, nhóm tác giả thực hiện mô phỏng trên phần mềm Cadence với mạch LDO truyền thống và so sánh kết quả mô phỏng với mạch LDO cải tiến trong cùng một điều kiện về điện áp nguồn cung cấp, mạch khuếch đại lỗi, mạch BGR và mạng điện trở. Kết quả mô phỏng mạch LDO truyền thống và LDO cải tiến được thể hiện trên Hình 7 và Hình 8 tương ứng. Mạch LDO truyền thống đạt được dải điện áp đầu vào là 1.5 V. Mạch

LDO cải tiến đạt được 9 V cho dải điện áp đầu vào.

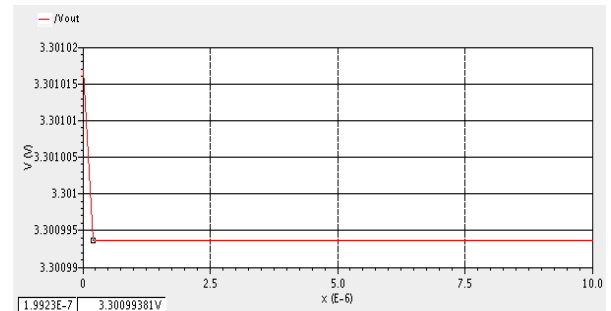


Hình 7. Kết quả mô phỏng mạch LDO truyền thống



Hình 8. Kết quả mô phỏng mạch LDO đề xuất

Như vậy, với việc thêm vào đầu vào một tầng khuếch đại xếp chồng, dải hoạt động của điện áp đầu vào được mở rộng. Hơn nữa, với mạch thêm vào đơn giản, mạch LDO cải tiến có cấu trúc đơn giản, không tiêu thụ thêm nhiều công suất và có giá trị điện áp rơi thấp bằng 300 mV. Kết quả mô phỏng sự thay đổi của điện áp đầu ra mạch LDO với sự thay đổi của tải được thể hiện trên Hình 9. Ta thấy rằng, khi tải thay đổi trong phạm vi rộng (từ 0 pF ÷ 10 uF), điện áp đầu ra được ổn định và thay đổi một lượng nhỏ bằng 26 uV. Bảng 3 thể hiện so sánh chất lượng của mạch LDO cải tiến với kết quả nghiên cứu trong [7] và mạch LDO truyền thống.



Hình 9. Sự thay đổi của điện áp đầu ra VCO với tải khác nhau

Bảng 3. So sánh chất lượng của mạch LDO đề xuất với các nghiên cứu trước

	LDO truyền thống	[7]	Bài báo này
Công nghệ (nm)	180 CMOS	250 CMOS	180 CMOS
Dải điện áp đầu vào (V)	2.7-4.2	3.5-20	3.6-13.6
Dropout	300 mV	N/A	300 mV
Độ phức tạp	Không	Có	Không

5. Kết luận

Bài báo này đề xuất thêm một tầng khuếch đại xếp chồng vào đầu vào để đạt được một mạch LDO làm việc với dải rộng của điện áp đầu vào mà không tiêu thụ nhiều công suất. Một quy trình thiết kế mạch khuếch đại thuật toán hai tầng cũng được trình bày. Mô phỏng mạch LDO trong công nghệ CMOS 180 nm được thực hiện. Mạch LDO đề xuất mở rộng khoảng làm việc 6 lần so với mạch LDO truyền thống, tiêu thụ công suất 420 μ W tại điện áp điện áp đầu ra 3.3 V. Hướng phát triển tiếp theo của vấn đề nghiên cứu là tiếp tục đề xuất các giải pháp để mở rộng hơn nữa dải hoạt động của mạch LDO mà vẫn không làm tăng đáng kể công suất tiêu thụ cũng như diện tích chiếm.

TÀI LIỆU THAM KHẢO

- [1] Guo, J., & Leung, "A 6-uW Chip-area-efficient output-capacitor less LDO in 90-nm CMOS technology", *IEEE Journal of Solid-State Circuits*, 45(9), 1896–1905, 2010.
- [2] Liang-Guo Shen, et al.: "Design of Low-Voltage Low-Dropout Regulator with Wide-Band High-PSR Characteristic", International Conference on Solid-State and Integrated Circuit Technology Proceedings, 2006.
- [3] M. Lüders, et al.: "A Fully-Integrated System Power Aware LDO for Energy Harvesting Applications", Symposium on VLSI Circuits Digest of Technical Papers, 2011.
- [4] D. Khan, et al.: "Design of a Capacitor-Less LDO with High PSRR for RF Energy Harvesting Applications", ISOC, 2017.
- [5] H. Zhang, et al.: "A 318 nA Quiescent Current 0-10mA Output Transient Enhanced Low-Dropout Regulator Applied in Energy Harvest System", International Conference on Integrated Circuits and Microsystems, 2017.
- [6] Carl Lester S. De Guzman, et al.: "Switched-Capacitor Converter with Low Dropout Voltage Regulator for Wireless Sensor Nodes", TENCON 2012 IEEE Region 10 Conference.
- [7] Jiaqi Yin, et al.: "An 800 mA Load Current LDO with Wide Input Voltage Range", International Conference on Circuits, Devices and Systems, 2017.
- [8] Hanxiao Du, Xinquan Lai and Yuan Chi, "A high voltage LDO with dynamic compensation network", Analog Integrated Circuits and Signal Processing, 2014.
- [9] Koichiro Ishibashi, et al.: "A 375 nA Input Off Current Schmitt Trigger LDO for Energy Harvesting IoT Sensors", ISVLSI2018.
- [10] Ryohei Takitoge, et al.: "Temperature Beat: Persistent and Energy Harvesting Wireless Temperature Sensing Scheme", IEEE SENSORS, 2016.
- [11] Al-Shyoukh, H. Lee, R. Perez, "A transient enhanced low-quiescent current low-dropout regulator with buffer impedance attenuation", *IEEE Journal of Solid-State Circuits*, 42(8), 1732–1742, 2007.
- [12] R. Backer, Circuit Design, Layout, and Simulation, *IEEE Series on Microelectronic Systems*, 2010.

(BBT nhận bài: 22/7/2019, hoàn tất thủ tục phản biện: 18/10/2019)