

GIẢM ẢNH HƯỞNG CỦA ĐIỆN TRỞ DÂY TRONG MẢNG VI ĐIỆN TRỞ NHỚ SỬ DỤNG MẠCH KHUẾCH ĐẠI VI SAI

REDUCING THE EFFECT OF WIRE RESISTANCE IN MEMRISTOR CROSSBAR ARRAY USING DIFFERENTIAL AMPLIFIER CIRCUITS

Trương Ngọc Sơn

Trường Đại học Sư phạm Kỹ thuật TP.HCM; sontn@hcmute.edu.vn

Tóm tắt - Trong bài viết này, tác giả phân tích ảnh hưởng của điện trở dây đến điện áp ngõ ra của mảng vi điện trở nhớ, từ đó áp dụng mạch khuếch đại vi sai để triệt tiêu điện áp biến thiên do điện trở dây gây ra. Từ kết quả phân tích và mô phỏng cho thấy, điện áp biến thiên tỷ lệ thuận với chiều dài dây kim loại, đồng thời 2 cột kế nhau có điện áp biến thiên gần bằng nhau. Từ đó, có thể áp dụng một mạch khuếch đại vi sai tại ngõ ra của 2 cột liên tiếp để loại bỏ điện áp biến thiên do rơi áp trên điện trở dây. Tỷ lệ nhận dạng của mạch giảm xuống còn 76% khi điện trở dây tăng lên 2,5 Ω trong trường hợp không sử dụng mạch khuếch đại vi sai. Sử dụng mạch khuếch đại vi sai giúp cho ngõ ra loại bỏ được điện áp biến thiên và duy trì được tỷ lệ nhận dạng ở mức 97% khi điện trở dây tăng lên 2,5 Ω . Sử dụng mạch khuếch đại vi sai có khả năng làm giảm đáng kể ảnh hưởng của điện trở dây trong mảng vi điện trở nhớ.

Từ khóa - Vi điện trở nhớ; điện trở dây; mạng nơ-ron nhân tạo; nhận dạng giọng nói

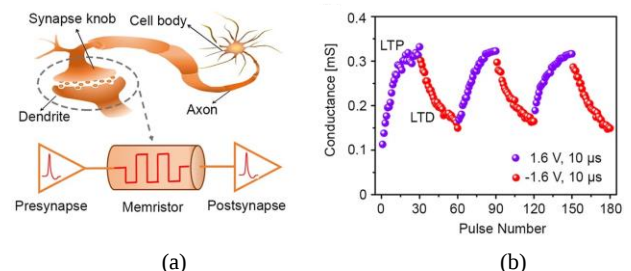
1. Giới thiệu

Mạng nơ-ron nhân tạo là mô hình xử lý thông tin được mô phỏng dựa trên hoạt động của hệ thống thần kinh sinh học. Mạng nơ-ron nhân tạo là một trong những cấu trúc được sử dụng nhiều trong kỹ thuật học sâu (deep learning) và máy học (machine learning). Mạng nơ-ron nhân tạo được ứng dụng trong nhiều lĩnh vực, trong đó, thành công nhất là nhận dạng đối tượng như nhận dạng ảnh, nhận dạng tiếng nói. Mạng nơ-ron nhân tạo hầu hết được thực thi trên nền tảng phần mềm bởi nó là một tập hợp các giải thuật phức tạp. Tuy nhiên, việc thực thi tập hợp các giải thuật trong đó hầu hết sử dụng bộ nhân và bộ cộng làm cho hệ thống tốn nhiều tài nguyên, tốc độ thực thi chậm và tiêu hao năng lượng lớn. Những năm gần đây, khi mà công nghệ thiết kế vi mạch với mật độ tích hợp cao (Very-Large-Scale Integration) phát triển mạnh, nhiều nghiên cứu đã chuyển từ việc thực thi các mạng nơ-ron nhân tạo trên nền tảng phần mềm sang nền tảng phần cứng dựa trên thiết kế vi mạch tích hợp [1], [4]. Các mạng nơ-ron nhân tạo dựa trên kiến trúc vi mạch hiệu quả hơn về công suất và tốc độ thực thi [1], [4]. Tuy nhiên, công nghệ vi mạch cho đến nay chủ yếu dựa trên công nghệ bán dẫn CMOS (Complementary-Metal-Oxide Semiconductor), trong khi đó công nghệ CMOS đang tiến dần đến điểm tới hạn vì hầu như khó giảm kích thước CMOS hơn nữa [5], [6]. Nghiên cứu các linh kiện thay thế CMOS cho tương lai trở nên cấp thiết và thu hút nhiều nhà nghiên cứu trên thế giới. Một trong các linh kiện có tiềm năng để thay thế cho công nghệ CMOS phải kể đến là vi điện trở nhớ (memristor). Vi điện trở nhớ được lý thuyết hóa bởi Giáo sư Leon O. Chua năm 1971 dựa trên mối liên hệ của 3 phần tử thiết kế mạch đó là điện trở, tụ điện và cuộn dây [7]. Tuy nhiên, mãi đến năm 2008 vi điện trở nhớ mới chính thức được thực nghiệm trên vật liệu

Abstract - Memristor crossbar array is promising for realizing artificial neural networks. Wire resistance in crossbar array is one of the factors that degrade the performance of memristor crossbar circuit. In this article, we analyze the effect of wire resistance on the output voltage of crossbar array and add the differential amplifier circuits to the crossbar array to mitigate the voltage variation caused by wire resistance. In memristor crossbar array, the voltage variation caused by wire resistance is proportional to the length of metal line. In addition, two adjacent columns have the same voltage variation. Under these observations, a differential amplifier circuit is used to compensate the voltage variation of two adjacent columns. When wire resistance is 2.5 Ω , the recognition rate is as low as 76%. However, if the differential amplifier circuits are added to the crossbar circuits, the recognition of the crossbar circuit is as high as 97%. Adding the differential amplifier circuit to memristor crossbar circuit can mitigate the impact of wire resistance on memristor crossbar circuit significantly.

Key words - Memristor; wire resistance; artificial neural network; speech recognition

titanium oxide bởi các giáo sư phòng thí nghiệm HP [8]. Vi điện trở nhớ hoạt động như một điện trở, tuy nhiên trở kháng của nó có thể thay đổi được dựa vào dòng điện chạy qua nó. Dựa vào tính chất này, các vi điện trở nhớ được ứng dụng trong việc mô hình hóa các khớp thần kinh (synapse), trong đó trọng số các khớp thần kinh thay đổi tùy theo giá trị tín hiệu đi qua nó [9].



Hình 1. (a) mô phỏng cấu trúc khớp thần kinh sử dụng vi điện trở nhớ, (b) trở kháng của vi điện trở nhớ thay đổi với xung điện áp dương và âm [10]

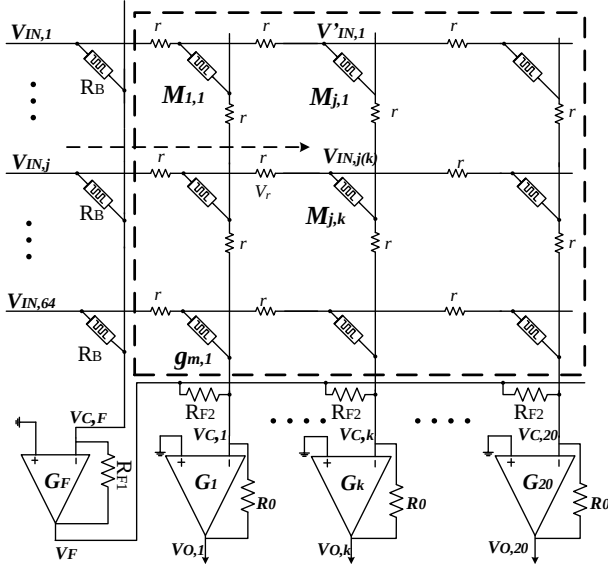
Hình 1(a) mô tả cấu trúc một khớp thần kinh được mô hình hóa bởi một vi điện trở nhớ. Trong đó, trọng số của khớp thần kinh được mô hình hóa bởi trở kháng của vi điện trở nhớ [10]. Hình 1(b) biểu diễn giá trị trở kháng của vi điện trở nhớ thay đổi khi xung điện áp dương và xung điện áp âm được đặt vào 2 đầu của vi điện trở nhớ [10]. Giá trị trở kháng tăng với xung dương và giảm với xung âm, điều này giống như đặc điểm của khớp thần kinh mà trong đó trọng số thay đổi tùy thuộc vào tín hiệu thần kinh đi ngang nó [9].

Các vi điện trở nhớ thông thường được chế tạo dưới dạng các mảng với các dây kim loại theo chiều ngang và theo chiều dọc. Trong đó, tại mỗi giao điểm là một vi điện trở nhớ kết nối giữa hàng và cột [11]. Các mảng vi điện trở nhớ cho

phép thực thi các hệ nơ-ron nhân tạo có mật độ tích hợp cao hơn. Các trọng số của các khớp nối thần kinh là các giá trị lưỡng cực, bao gồm cả giá trị âm và giá trị dương. Để mô hình hóa được các trọng số như vậy, một kiến trúc mạng vi điện trở nhớ mà trong đó dùng một mảng đơn và một phần tử hằng số đã được đề xuất [12]. Đây là cấu trúc tối ưu, cho phép tiết kiệm công suất và số lượng vi điện trở nhớ cũng như kích thước mảng vi điện trở nhớ [12].

Trong các mảng vi điện trở nhớ, điện áp rơi trên dây dẫn kim loại là nguyên nhân làm giảm hiệu năng của nó [13]. Bản chất các dây kim loại trong mảng vi điện trở nhớ luôn tồn tại các điện trở ký sinh nên việc làm giảm ảnh hưởng của các điện trở ký sinh này hết sức có ý nghĩa. Có nhiều nghiên cứu đã được đề xuất để làm giảm ảnh hưởng của điện trở dây trong mảng vi điện trở nhớ [14], [15]. Tuy nhiên, hầu hết các giải pháp đã đề xuất được áp dụng cho mảng vi điện trở nhớ mà trong đó vi điện trở nhớ chỉ có 2 mức giá trị là điện trở cao và điện trở thấp. Trong bài báo này, tác giả sử dụng phương pháp bù điện áp để làm giảm ảnh hưởng của điện trở dây trong mảng vi điện trở nhớ mà trong đó các vi điện trở nhớ hoạt động như các phần tử tương tự.

2. Giảm ảnh hưởng của điện trở dây trong mảng vi điện trở nhớ ứng dụng trong mạng nơ-ron nhân tạo



Hình 2. Mảng vi điện trở nhớ sử dụng một mảng đơn và một cột cố định để thực thi một mạng nơ-ron nhân tạo

Để có khả năng thực thi các trọng số lưỡng cực cần kết hợp 2 mảng vi điện trở nhớ ghép nối bù nhau. Tuy nhiên, trong thiết kế mới, S. N. Trương đã đề xuất một kiến trúc tối ưu trong đó chỉ dùng một mảng đơn [12]. Trọng số có dấu được tạo ra bằng cách thêm một cột tham chiếu với các phần tử cố định như mô tả trong Hình 2. Trong bài viết này, tác giả sử dụng mảng vi điện trở nhớ được đề xuất trước đó cho ứng dụng nhận dạng giọng nói. Tín hiệu nhận dạng đơn giản là 20 phát âm của 20 ký tự từ “a” đến “t”. Mỗi ký tự phát âm được mã hóa dưới dạng 64 thông số, đặc trưng cho mức biên độ của 64 dây tần số khác nhau có trong tín hiệu. Mảng vi điện trở nhớ được thiết kế bao gồm 64 hàng và 21 cột, trong đó một cột có nhiệm vụ tạo ra điện áp âm, điện áp âm này được truyền đến các cột còn lại để tạo ra các trọng số lưỡng cực [12]. 20 cột còn lại tương đương 20 Perceptron nơ-ron

cho phép nhận dạng 20 tín hiệu phát âm từ 20 ký tự. Trong cấu trúc đề xuất trước đó, tác giả bỏ qua điện trở dây dẫn kim loại. Thực tế, các dây dẫn kim loại luôn có một điện trở dây, các điện trở này luôn là yếu tố làm ảnh hưởng đến kết quả thực thi trong các vi mạch tích hợp. Trong Hình 2, điện trở dây được mô hình hóa bởi các điện trở có giá trị nhỏ nằm giữa các giao điểm của hàng và cột.

Trong trường hợp dây dẫn kim loại trong mảng vi điện trở nhớ có giá trị lý tưởng bằng 0Ω , các điện trở có giá trị nhỏ dùng để mô hình hóa điện trở dây trong Hình 2 có giá trị 0Ω . Cột đầu tiên trong Hình 2 tạo ra điện áp âm cho tất cả các cột còn lại, ta có thể gọi cột này là cột tham chiếu.

Điện áp ngõ ra tại cột tham chiếu được tính bằng cách sử dụng công thức tính điện áp ra cho mạch khuếch đại đảo [12]:

$$V_F = - \sum_{j=1}^{64} \frac{R_{F1}}{R_B} V_{IN,j} \quad (1)$$

Điện áp tại cột tham chiếu, V_F , đi đến 20 cột còn lại qua điện trở R_{F2} . Bằng cách sử dụng công thức cho mạch khuếch đại đảo, điện áp ngõ ra cột thứ k được tính như sau:

$$V_{O,k} = - \left[\sum_{j=1}^{64} \left(\frac{R_0}{M_{j,k}} \cdot V_{IN,j} \right) + \frac{R_0}{R_{F2}} V_F \right] \quad (2)$$

Thế V_F từ phương trình (1) vào phương trình (2) ta được:

$$V_{O,k} = - \left[\sum_{j=1}^{64} \left(\frac{R_0}{M_{j,k}} - \frac{R_0}{R_{F2}} \cdot \frac{R_{F1}}{R_B} \right) V_{IN,j} \right] \quad (3)$$

Nếu lựa chọn $R_{F1}=R_{F2}$, phương trình (3) được viết lại như sau:

$$V_{O,k} = \sum_{j=1}^{64} w_{j,k} V_{IN,j} \quad (4)$$

$$\text{Trong đó, } w_{j,k} = R_0 \left(\frac{1}{R_B} - \frac{1}{M_{j,k}} \right)$$

Phương trình (4) cho thấy, ngõ ra mỗi cột là tổng của các ngõ vào nhân với trọng số. Như vậy, mỗi cột có chức năng như một nơ-ron với các trọng số được quyết định bởi giá trị R_0 , R_B và $M_{j,k}$. Điện trở R_0 và R_B có giá trị cố định, giá trị và dấu của trọng số được quyết định bởi giá trị của vi điện trở nhớ, $M_{j,k}$. Điện trở của vi điện trở nhớ có thể được lập trình từ giá trị điện trở thấp (Low Resistance State – LRS) đến giá trị điện trở cao (High Resistance State – HRS). Tùy thuộc vào vật liệu chế tạo, các vi điện trở nhớ có giá trị LRS từ hàng trăm Ω đến hàng $K\Omega$ và HRS có giá trị hàng trăm $K\Omega$ đến hàng $M\Omega$. Giá trị điện trở R_B được lựa chọn trong khoảng từ LRS đến HRS. Như vậy giá trị vi điện trở nhớ lớn hơn R_B hoặc nhỏ hơn R_B sẽ tạo ra các trọng số dương hoặc âm tương ứng.

Điện trở dây kim loại trong thiết kế vi mạch tích hợp là một yếu tố không thể không kể đến. Điện trở dây được mô hình hóa bằng các điện trở có giá trị nhỏ (r) như mô tả trong Hình 2. Có thể thấy, các điện trở này làm cho điện áp thực sự trên các cột bị giảm do một phần điện áp rơi trên các điện trở dây. Trong Hình 2, điện áp đặt lên cột thứ k của hàng thứ j là $V_{IN,j(k)}$, giá trị này nhỏ hơn giá trị $V_{IN,j}$ đặt ở

đầu mảng. Giả sử điện áp rơi trên điện trở dây là V_r , ta có điện áp tại cột thứ k sẽ bị sụt giảm do các điện áp rơi trên điện trở dây như sau:

$$V_{IN,j(k)} = V_{IN,j} - kV_r \quad (5)$$

Cột tham chiếu đặt ở vị trí đầu tiên nên có thể xem như các điện áp ngõ vào không bị sụt giảm, sử dụng phương trình (2) để tính điện áp ngõ ra cột thứ k khi điện trở dây có giá trị khác 0Ω .

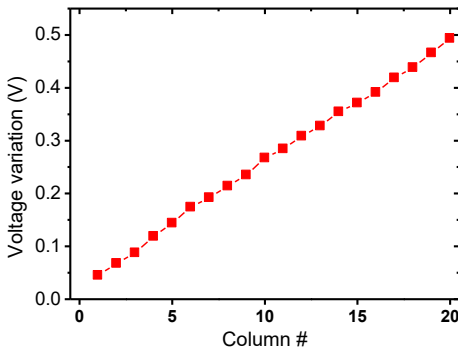
$$V_{O,k} = - \left[\sum_{j=1}^{64} \left(\frac{R_0}{M_{j,k}} \cdot V_{IN,j(k)} \right) + \frac{R_0}{R_{F2}} V_F \right] - \left[\sum_{j=1}^{64} \left(\frac{R_0}{M_{j,k}} \cdot V_{IN,j} \right) - \sum_{j=1}^{64} \left(\frac{R_0}{M_{j,k}} \cdot kV_r \right) + \frac{R_0}{R_{F2}} V_F \right] \quad (6)$$

So sánh phương trình (2) và phương trình (6) ta thấy điện áp ngõ ra tăng một lượng ΔV_k như sau:

$$\Delta V_k = \sum_{j=1}^{64} \left(\frac{R_0}{M_{j,k}} \cdot kV_r \right) \quad (7)$$

Điện áp đặt lên các cột giảm làm cho điện áp ngõ ra tăng lên do sử dụng mạch khuếch đại đảo. Hơn nữa, điện áp đặt lên các cột giảm tỷ lệ thuận với chiều dài dây dẫn. Trong phương trình (7), nếu các cột càng gần cột đầu tiên (k có giá trị nhỏ) thì điện ngõ ra tăng ít hơn so với các cột ở xa cột đầu tiên (k có giá trị lớn).

Để kiểm chứng điều này, tác giả tiến hành đo mức độ biến thiên điện áp của các cột khi điện trở dây tăng lên $2,5\Omega$. Trong thiết kế vi mạch, giá trị điện trở dây thông thường được lựa chọn là $2,5\Omega$ cho các cấu trúc mảng [13], [16]. Kết quả đo được thể hiện trong Hình 3.

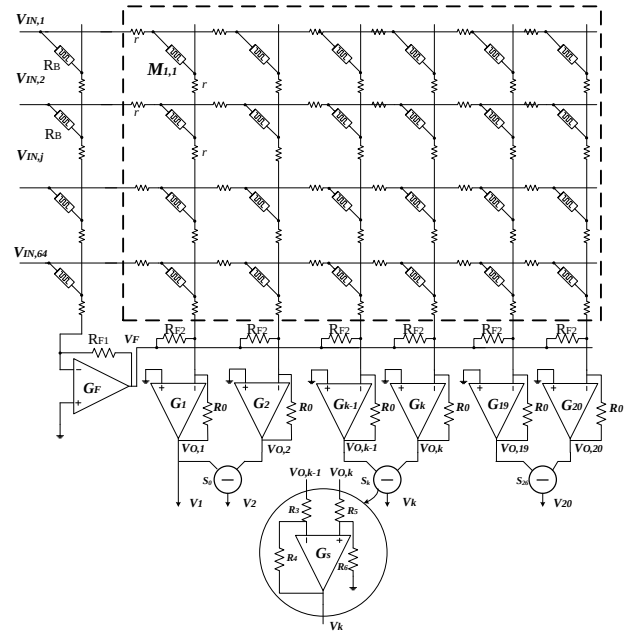


Hình 3. Biến thiên điện áp của các cột khi điện trở dây tăng lên $2,5\Omega$

Hình 3 biểu diễn giá trị điện áp tăng lên của các cột khi điện trở dây tăng lên $2,5\Omega$. Các cột đầu tiên có sự biến thiên điện áp nhỏ khi điện trở dây tăng lên $2,5\Omega$, tuy nhiên các cột ở xa cột đầu tiên có sự biến thiên điện áp lớn hơn. Kết quả trong Hình 3 phù hợp với phân tích trước đó. Cột càng về cuối sẽ có độ biến thiên điện áp lớn. Từ kết quả mô phỏng và phân tích cho thấy, 2 cột kế nhau sẽ có độ biến thiên điện áp gần bằng nhau. Do đó, nếu sử dụng một mạch khuếch đại vi sai sẽ có thể triệt tiêu được sự biến thiên điện áp gây ra bởi điện trở dây.

Để triệt tiêu điện áp biến thiên, một mạch khuếch đại vi sai được thêm vào sau ngõ ra của các cột như mô tả ở Hình

4. Trong Hình 4, ngõ ra cột đầu tiên được giữ nguyên do cột này ít bị ảnh hưởng bởi điện trở dây. Ngõ ra cột thứ 2 là kết quả của cột thứ 2 trừ đi cột thứ 1. Tương tự, ngõ ra cột thứ k sẽ là kết quả từ ngõ ra cột thứ k trừ đi ngõ ra cột thứ $k-1$.



Hình 4. Giảm điện áp biến thiên do điện trở dây sử dụng các bộ khuếch đại vi sai

Điện áp biến thiên gây ra bởi điện trở dây dẫn trong mảng vi điện trở nhớ được làm giảm bằng cách sử dụng các bộ khuếch đại vi sai có hệ số khuếch đại bằng 1 hoạt động như các bộ trừ điện áp. Các bộ khuếch đại vi sai được đặt ở ngõ ra của mỗi cột. Mạch khuếch đại vi sai được thiết kế đơn giản sử dụng mạch khuếch đại thuật toán Op-Amp, với sơ đồ mạch chi tiết được mô tả trong phần bên dưới của Hình 4. Trong Hình 4, $V_{O,k}$ là ngõ ra của cột thứ k , V_k là ngõ ra của mạch khuếch đại vi sai cho cột thứ k . Điện áp ngõ ra mạch khuếch đại vi sai cho cột thứ k được tính như sau:

$$V_k = -V_{O,k-1} \left(\frac{R_4}{R_3} \right) + V_{O,k} \left(\frac{R_6}{R_5 + R_6} \right) \left(\frac{R_3 + R_4}{R_3} \right) \quad (8)$$

Trong đó, lựa chọn các giá trị điện trở thỏa mãn $R_3=R_4=R_5=R_6$ để đạt hệ số khuếch đại bằng 1. Điện áp ngõ ra tại cột thứ k được tính như sau:

$$V_k = V_{O,k} - V_{O,k-1} \quad (9)$$

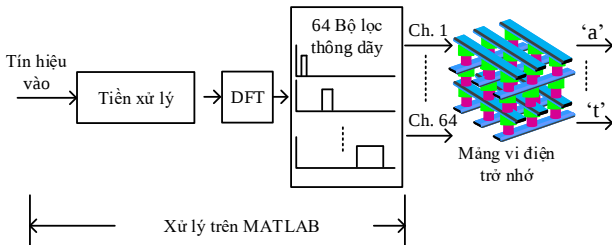
Điện áp biến thiên của cột thứ k và cột thứ $(k-1)$ được tính theo phương trình (7). Nếu xét sự có mặt của điện trở dây thì điện áp ngõ ra của các cột sau mạch khuếch đại vi sai là:

$$\begin{aligned} V_k &= V_{O,k} + \Delta V_k - (V_{O,k-1} + \Delta V_{k-1}) \\ V_k &= V_{O,k} - V_{O,k-1} \\ &+ \sum_{j=1}^{64} \left(\frac{R_0}{M_{j,k}} \cdot kV_r \right) - \sum_{j=1}^{64} \left(\frac{R_0}{M_{j,k}} \cdot (k-1)V_r \right) \\ &= V_{O,k} - V_{O,k-1} + \sum_{j=1}^{64} \left(\frac{R_0}{M_{j,k}} \cdot V_r \right) \end{aligned} \quad (10)$$

Từ phương trình (10) có thể thấy, điện áp ngõ ra mạch khuếch đại vi sai biến thiên một lượng $\sum_{j=1}^{64} \left(\frac{R_0}{M_{j,k}} \cdot V_r \right)$. Giá trị này nhỏ hơn điện áp biến thiên tại các cột trước khi sử dụng mạch khuếch đại vi sai. Điện áp tăng do điện trở dây ở 2 cột liên tiếp được loại bỏ phần lớn nhờ sử dụng mạch khuếch đại vi sai như đã được phân tích trong phương trình (10).

3. Kết quả mô phỏng và thảo luận

Mạch vi điện trở nhớ thực thi mạng nơ-ron nhân tạo trong Hình 4 được mô phỏng để kiểm chứng tính hiệu quả của việc sử dụng mạch khuếch đại vi sai làm giảm ảnh hưởng của điện trở dây trong mảng vi điện trở nhớ. Mạch vi điện trở nhớ được mô phỏng sử dụng phần mềm thiết kế mạch Cadence Spectre. Vi điện trở nhớ được mô hình hóa bằng ngôn ngữ Verilog-A với các thông số mô hình được trình bày trong bài báo trước [17]. Mảng vi điện trở nhớ được huấn luyện để nhận dạng tín hiệu phát âm từ 20 ký tự. Trong đó, số mẫu cho mỗi ký tự là 100. Quá trình rút trích đặc trưng mẫu được mô tả trong Hình 5.



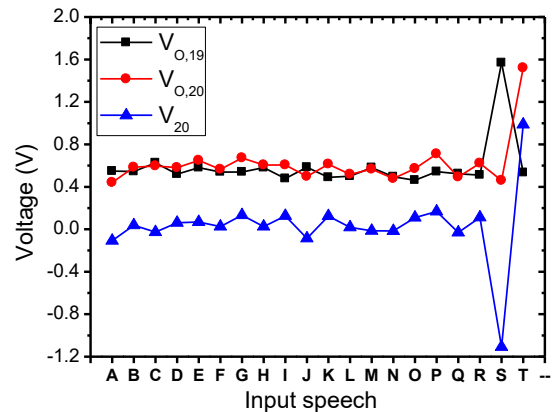
Hình 5. Quá trình rút trích đặc trưng tín hiệu phát âm các ký tự

Tín hiệu thu thập từ phát âm các ký tự được xử lý trên phần mềm Matlab. Tín hiệu được đưa qua quá trình tiền xử lý sau đó được chuyển sang miền tần số bằng phép biến đổi Fourier [18]. 64 bộ lọc thông dải với dải tần số khác nhau cho phép tách được 64 giá trị đặc trưng [18]. Trong nhận dạng giọng nói, kỹ thuật rút trích đặc trưng là một phần quan trọng. Các hệ thống nhận dạng giọng nói thường áp dụng các kỹ thuật rút trích đặc trưng phức tạp có khả năng tăng hiệu quả của hệ thống. Trong thiết kế này, mục đích chính không phải cải thiện độ chính xác nên việc sử dụng 64 bộ lọc sẽ dễ thực hiện hơn nếu thực thi ở mức thiết kế mạch [18]. Các dữ liệu của các ký tự được lưu vào tập tin văn bản (txt). Trong phần mềm Candence Spectre, chúng ta thiết kế một mô đun bằng ngôn ngữ Verilog-A để đọc các giá trị trong tập tin văn bản này và tạo ra các tín hiệu điện áp đưa đến mảng vi điện trở nhớ.

Mảng vi điện trở nhớ được huấn luyện trên Matlab. Giá trị trọng số sau khi huấn luyện được chuyển đổi sang giá trị trở kháng của các vi điện trở nhớ sử dụng phương trình (4). Mảng vi điện trở nhớ được huấn luyện nhận dạng 20 tín hiệu từ phát âm các ký tự. Cột đầu tiên sẽ cho ra ngõ ra gần 1V khi ngõ vào là phát âm của ký tự “a”, ngược lại sẽ cho ra mức điện áp gần 0V. Tương tự, cột thứ 20 có mức điện áp gần 1V khi ngõ vào là ký tự “t”, ngược lại sẽ có mức điện áp gần 0V. Điện áp ngưỡng so sánh để chọn cột tích cực là 0,5V [12].

Để đánh giá hiệu quả của phương pháp sử dụng bộ khuếch đại vi sai để làm giảm điện áp biến thiên gây ra bởi

điện trở dây, ngõ ra cột 19 ($V_{0,19}$) và cột 20 ($V_{0,20}$) được đo trước bộ khuếch đại vi sai và điện áp ngõ ra của cột 20 (V_{20}) được đo sau bộ khuếch đại vi sai. Điện trở dây trong trường hợp này được giả định là 2,5Ω [13], [16]. Kết quả được thể hiện trong Hình 6. Điện áp ngõ ra của cột thứ 19 được ký hiệu là $V_{0,19}$ và được thể hiện bằng các hình vuông màu đen trong Hình 6. $V_{0,19}$ ở mức tích cực khi ngõ vào là phát âm của ký tự “s”. Do ảnh hưởng của điện trở dây, điện áp $V_{0,19}$ dịch lên phía trên. Trong trường hợp này nếu ngưỡng so sánh là 0,5V, cột 19 sẽ tích cực với nhiều ký tự ngõ vào thay vì một ký tự “s” như mong muốn. Tương tự, cột thứ 20 cho ra điện áp $V_{0,20}$ cũng bị dịch lên do ảnh hưởng của điện trở dây như đã phân tích ở Phần 2. Có thể thấy nếu ngưỡng so sánh là 0,5 V, cột thứ 19 và 20 sẽ tích cực với nhiều ký tự ngõ vào và dẫn đến tỷ lệ nhận dạng giảm đáng kể. Tuy nhiên, bằng cách sử dụng mạch khuếch đại vi sai, điện áp cột 19 và 20 được đưa qua mạch khuếch đại vi sai cho ra điện áp V_{20} được thể hiện bởi các tam giác màu xanh trong Hình 6. Khi ký tự ngõ vào là “s” cột 19 tích cực, lúc này V_{20} có giá trị âm như thể hiện trong Hình 6. Hiện tượng này cũng không làm ảnh hưởng đến tỷ lệ nhận dạng của mạch vì mức ngưỡng so sánh là 0,5V. Có thể kết luận, điện áp ngõ ra sau bộ khuếch đại vi sai đã bị dịch xuống. Ngõ ra V_{20} chỉ ở mức cao hơn ngưỡng 0,5V khi ký tự ngõ vào là “t”. Các trường hợp khác thì ngõ ra luôn ở mức thấp hơn điện áp ngưỡng so sánh (0,5V).



Hình 6. Điện áp ngõ ra cột thứ 19 ($V_{0,19}$) và 20 ($V_{0,20}$) trước bộ khuếch đại vi sai và điện áp ngõ ra cột thứ 20 (V_{20}) sau bộ khuếch đại vi sai. Ngõ vào lần lượt là các phát âm của ký tự từ “a” đến “t”

Mô phỏng tiếp theo là đo tỷ lệ nhận dạng của mạch khi điện trở dây được thiết lập là 2,5Ω. Tỷ lệ nhận dạng là tỷ lệ nhận dạng trung bình của 20 cột khi phát âm của 20 ký tự lần lượt được đặt vào ngõ vào của mạch. Kết quả mô phỏng cho thấy mạch sử dụng bộ khuếch đại vi sai để làm giảm ảnh hưởng của điện trở dây cho kết quả nhận dạng 97% khi điện trở dây 2,5Ω. Trong khi đó, nếu không sử dụng bộ khuếch đại vi sai tỷ lệ nhận dạng của mạch giảm xuống còn 76%. Như vậy việc sử dụng bộ khuếch đại vi sai đã làm giảm ảnh hưởng của điện trở dây và làm tăng tỷ lệ nhận dạng 21%.

Dựa vào phân tích và mô phỏng có thể thấy điện áp các cột đã dịch lên khi điện trở dây tăng lên 2,5Ω. Do đó, nếu giữ mức ngưỡng so sánh là 0,5V để xác định cột nào tích cực và cột nào không tích cực thì mạch sẽ cho nhận dạng sai vì

nhiều cột sẽ tích cực thay vì chỉ một cột cho một ký tự được nhận dạng. Giả sử ta thay đổi mức ngưỡng lên theo mức dịch điện áp thì cột cuối cùng có thể nhận dạng đúng nhưng các cột đầu tiên sẽ không nhận dạng được vì sự dịch chuyển điện áp của cột đầu tiên nhỏ. Nói cách khác, mức dịch điện áp của các cột khác nhau nên giải pháp nâng mức ngưỡng lên là không khả thi. Để có thể thực hiện được thì mỗi một cột sẽ sử dụng một mức ngưỡng khác nhau. Điều này chỉ đúng trong trường hợp chúng ta biết chính xác điện trở dây và sự dịch chuyển của điện áp là bao nhiêu. So với phương pháp đề xuất là sử dụng mạch khuếch đại vi sai, điện áp tăng được loại bỏ phần lớn mà không cần phải thay đổi điện áp ngưỡng cũng như không cần phải biết chính xác giá trị của điện trở dây và điện áp thay đổi do điện trở dây gây ra.

4. Kết luận

Điện trở dây kim loại là một trong những yếu tố làm giảm hiệu năng của các mảng vi điện trở nhớ ứng dụng trong mạng nơ-ron nhân tạo. Trong bài viết này tác giả phân tích ảnh hưởng của điện trở dây đến điện áp ngõ ra của mảng vi điện trở nhớ và áp dụng phương pháp giảm điện áp biến thiên gây ra do điện trở dây. Bằng việc sử dụng bộ khuếch đại vi sai ở ngõ ra 2 cột liên tiếp nhau, điện áp biến thiên do điện trở dây gây ra được giảm đáng kể và góp phần làm tăng hiệu năng của mảng vi điện trở nhớ. Cụ thể, khi điện trở dây là $2,5\Omega$, tỷ lệ nhận dạng phát âm của 20 ký tự của mảng vi điện trở nhớ giảm xuống còn 76%. Tuy nhiên, nếu sử dụng mạch khuếch đại vi sai làm giảm điện áp biến thiên của 2 cột kế tiếp nhau, tỷ lệ nhận dạng được duy trì 97%. Đây là một trong các phương pháp hiệu quả có thể được sử dụng để làm giảm ảnh hưởng của điện trở dây trong mảng vi điện trở nhớ.

TÀI LIỆU THAM KHẢO

- [1] A. Ardakani et al, "VLSI Implementation of Deep Learning Neural Network Using Integral Stochastic Computing", *IEEE Trans. Very Large Scale Integration System*, vol. 25, iss. 10, pp. 2688-2699, Feb. 2017.
- [2] M. Walker, P. Hasler, and L. Akers, "CMOS neural network for pattern association", *IEEE Micro*, vol. 9, no. 5, pp. 68-71, Oct. 1989.
- [3] B. V. Benjamin et al, "Neurogrid: A mixed-analog-digital multichip system for large-scale neural simulations", *Proc. IEEE*, vol. 102, no.5, pp.-699-716, Apr. 2014.
- [4] P. A. Merolla et al, "A million spiking- neuron integrated circuit with a scalable communication network and interface", *Science*, vol. 345, no. 6197, pp 668-673, Aug. 2014.
- [5] P. M. Solomon, "Device Innovation and Material Challenges at the Limit of CMOS Technology", *Annu. Rev. Mater. Sci.*, vol. 30, pp. 681-697, Aug. 2000.
- [6] T. P. Brđanin and B. Dokić, "Strained Silicon Layer in CMOS Technology", *Electronics*, vol. 18, no. 2, pp. 63-69, Dec. 2014.
- [7] L. O. Chua, "Memristor – the missing circuit element", *IEEE Trans. Circuit Theory*, vol. CT-18, no. 5, pp. 507-519, Sep. 1971.
- [8] D. B. Strukov, G. S. Sinder, D. R. Stewart, and R. S. Williams, "The missing memristor found", *Nature*, vol. 453, pp. 80-83, May 2008.
- [9] S. H. Jo, T. Chang, I. Ebong, B. B. Bhadviya, P. Mazumder, and W. Lu, "Nanoscale memristor device as synapse in neuromorphic systems", *Nano Letters*, vol. 10, no. 4, pp. 1297-1301, Mar. 2010.
- [10] C. Wang, W. He, Y. Tong, and R. Zhao, "Investigation and Manipulation of Defferent Analog behaviors of Memristor as Electronic Synapse for Neuromorphic Applications", *Scientific Report*, vol. 6, no. 22970, pp. 1-9, Mar. 2016.
- [11] R. S. Williams, "How we found the missing memristor", *IEEE Spectrum*, vol. 45, iss. 12, pp. 28-35, Dec. 2008.
- [12] S. N. Truong and K. S. Min "New memristor-based crossbar array architecture with 50-% area reduction and 48-% power saving for matrix-vector multiplication of analog neuromorphic computing", *Journal of Semiconductor Technology and Science*, vol. 14, no. 3, pp. 356-363, Jun. 2014.
- [13] J. Liang and H. S. P. Wong, "Cross-point memristor array without cell selector – device characteristics and data storage pattern dependencies", *IEEE Trans. Electron Device*, vol. 57, no. 10, pp. 2531-2538, Oct. 2010.
- [14] E. Linn, R. Rosezin, C. Kögeler, and R. Waser "Complementary resistive switches for passive nanocrossbar memories", *Nature Materials*, vol. 9, pp. 403-406, May 2010.
- [15] S. H. Shin, S. D. Byeon, J. S. Song, S. N. Truong, H. S. Mo, D. J. Kim, and K. S. Min, "Dynamic reference scheme with improved read voltage margin for compensating cell-position and back ground-pattern dependencies in pure memristor array", *Journal of Semiconductor Technology and Science*, vol.15, No.6, Dec. 2015.
- [16] ITRS, International Technology Roadmap for Semiconductors, 2007.
- [17] S. N. Truong K. V. Pham, W. S. Yang, S. H. Shin, K. Pedrotti, and K. S. Min, "New pulse amplitude modulation for fine tuning of memristor synapses", *Microelectronics Journal*, vol. 55, pp. 162-168, 2016.
- [18] S. N. Truong, S. J. Ham, and K. S. Min "Neuromorphic crossbar circuit with nanoscale filamentary-switching binary memristors for speech recognition", *Nanoscale Research Letters*, vol. 9 no. 629, pp. 1-9, Nov. 2014.

(BBT nhận bài: 01/12/2019, hoàn tất thủ tục phân biên: 12/5/2020)