

PHÂN TÍCH SỰ ẢNH HƯỞNG CỦA ĐỘ PHÂN GIẢI BỘ CHUYỂN ĐỔI SỐ/ THỜI GIAN KHI ĐƯỢC SỬ DỤNG TRONG VÒNG KHÓA PHA SỐ BANG-BANG KIỂU BỘI SỐ THẬP PHẦN-N

ANALYSIS OF EFFECT OF DIGITAL/ TIME CONVERTER RESOLUTION WHEN BEING USED IN FRACTIONAL-N DIGITAL BANG-BANG PHASE-LOCKED-LOOPS

Võ Tuấn Minh*, Lê Quốc Khánh, Trần Quốc Huy, Ngô Minh Trí

Trường Đại học Bách khoa – Đại học Đà Nẵng¹

*Tác giả liên hệ: vtminh@dut.udn.vn

(Nhận bài: 16/12/2021; Chấp nhận đăng: 09/2/2022)

Tóm tắt - Trong bài báo này, dựa trên phân tích cơ chế hoạt động của bộ chuyển đổi số/ thời gian (DTC) khi được sử dụng trong vòng khóa pha số Bang-Bang kiểu bội số thập phân-N, nhóm tác giả suy ra được tần số của hài thập phân xuất hiện trong phổ năng lượng của nhiễu pha của tín hiệu ra. Ngoài ra, dựa trên mô hình mô phỏng vòng khóa pha sử dụng MATLAB, nhóm tác giả cũng khảo sát và đưa ra giá trị thích hợp cho độ phân giải của DTC để vừa giúp cho hài không xuất hiện cũng như có thể đảm bảo được tính tuyến tính của DTC. Các kết quả đạt được trong bài báo có thể được áp dụng vào thiết kế vòng khóa pha trong thực tế khi được sử dụng như bộ tổng hợp tần số hiệu năng cao trong các ứng dụng không dây.

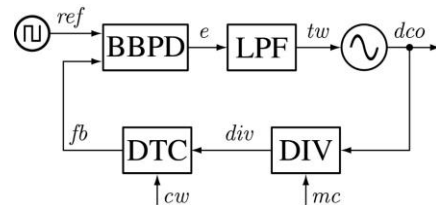
Từ khóa - Vòng khóa pha số (PLL); kiểu bội số thập phân-N; bộ chuyển đổi số/ thời gian (DTC); bộ điều chế số Delta-Sigma; lỗi lượng tử

1. Giới thiệu

Ngày nay, bộ tổng hợp tần số là một thành phần không thể thiếu trong mọi hệ thống vi mạch điện tử tích hợp. Nó được sử dụng để tạo các xung đồng hồ nhằm mục đích đồng bộ hóa các hoạt động trong hệ thống hoặc dùng để điều chế/giải điều chế (tách sóng) các tín hiệu được truyền bởi mạng không dây. Về cơ bản, bộ tổng hợp tần số có thể được đề xuất cấu thành bằng các công logic đảo (Inverter) mắc dây chuyền thành một vòng kín, lợi dụng độ trễ của các công logic này, tuy nhiên, những mạch như vậy thường có hiệu năng thấp do tần số của tín hiệu được tạo ra bị ảnh hưởng bởi nhiều yếu tố như quy trình sản xuất, độ rung điện áp hoặc thay đổi về nhiệt độ. Do vậy, trong những ứng dụng đòi hỏi hiệu năng cao, bộ tổng hợp tần số được cấu tạo dựa trên cấu trúc vòng khóa pha (PLL) sử dụng mạch tạo dao động từ cuộn cảm và tụ. Tần số của tín hiệu ra được tạo bởi PLL có tính ổn định cao nhờ thông qua hệ thống điều khiển hồi tiếp âm và một nguồn vào (thạch anh) cung cấp tín hiệu tham chiếu có tần số gần như không bị ảnh hưởng bởi các yếu tố xung quanh. Ngoài ra, tần số của tín hiệu ra của PLL có thể được điều chỉnh linh hoạt thông qua bội số N , có thể là số nguyên hoặc số thập phân. Tuy vậy, để có được độ phân giải tần số cao, PLL kiểu bội số thập phân là điều bắt buộc. Thật vậy, nếu tần số tham chiếu là F_{ref} thì độ phân giải của tần số ra cũng sẽ là F_{ref} trong trường hợp PLL kiểu bội số nguyên. Trong thực tế, F_{ref} thường ở mức MHz hoặc cao hơn trong khi độ phân giải tần số được yêu cầu đối với các ứng dụng không dây hiện nay rơi vào khoảng vài kHz [1, 2].

Abstract - In this paper, based on an analysis of operating principle of digital/time converter (DTC) employed in fractional-N digital Bang-Bang phase-locked-loops, the authors derive an estimation of frequency of fractional spur appearing in the phase noise power spectra density of output signal. Furthermore, based on a simulation model for the phase-locked-loop built in MATLAB, the authors also examine and provide a proper value for the DTC time resolution in order to not only prevent fractional spur from happening but also guarantee the linearity of the DTC. The results obtained in the paper can be used to design the phase-locked-loop in practice working as high-performance frequency synthesizer in wireless applications.

Key words - Digital phase-locked loop (PLL); fractional-N; digital phase-locked loop; digital/time converter (DTC); digital Delta-Sigma modulator (DSM); quantization error



Hình 1. BB PLL số kiểu bội số thập phân-N sử dụng DTC

Một cách tổng quát, PLL số kiểu bội số thập phân-N bao gồm các khối chính lần lượt như sau: Khối so sánh pha (phase detector: PD), bộ lọc thông thấp (low-pass filter: LPF), mạch tạo dao động điều khiển bởi tín hiệu số (digitally controlled oscillator: DCO), và khối chia tần số (frequency divider: DIV) như trong Hình 1. Khối PD so sánh pha (thời gian) chênh lệch giữa tín hiệu tham chiếu, ref , và tín hiệu hồi tiếp fb , để đưa ra tín hiệu số e , có độ lớn tương ứng. Tín hiệu e có thể được sử dụng để điều khiển trực tiếp khối DCO nhằm tổng hợp tần số mong muốn, thường lớn hơn F_{ref} nhiều lần. Tuy nhiên, vì e biến thiên nhanh trong khi tín hiệu điều khiển của khối DCO cần ổn định (lý tưởng là tín hiệu một chiều, DC), do đó, khối LPF được đặt giữa PD và DCO để cho ra tín hiệu tw biến thiên chậm hơn nhiều so với e . Ở một khía cạnh khác, để giảm chênh lệch pha (tức để khóa pha) tại ngõ vào của PD, tần số của tín hiệu hồi tiếp phải bằng với tần số tham chiếu, vì vậy, khối DIV được đặt trên đường truyền hồi tiếp. Tuy nhiên, do khối DIV chỉ có thể chia tần số theo các số chia nguyên, để có thể chia cho số chia thập phân N , một bộ điều

¹ The University of Danang - University of Science and Technology (Vo Tuan Minh, Le Quoc Khanh, Tran Quoc Huy, Ngo Minh Tri)

ché $\Delta\sigma$ (Delta-Sigma modulator: DSM) phải được sử dụng [3, 4]. Cụ thể, số chia tức thời, mc , được điều chỉnh bởi DSM, và N sẽ là giá trị trung bình của mc . Ví dụ, để tạo tín hiệu ra có tần số bằng 69,125 (N) lần F_{ref} , mc được thiết lập là 69 và 70 lần lượt trong 7 và 1 chu kỳ tham chiếu. Tuy vậy, việc sử dụng DSM lại dẫn đến phát sinh lỗi lượng tử, tức chênh lệch giữa N và mc trong từng chu kỳ tham chiếu, khiến cho khoảng biến thiên của pha tại ngõ vào của PD tăng lên. Trong các mạch PLL cổ điển, để có thể phủ hết khoảng biến thiên này, PD phải có dải xử lý rộng, khiến năng lượng tiêu hao tăng theo. Nhằm giải quyết vấn đề này, giải pháp sử dụng DTC để loại bỏ lỗi lượng tử đã được đề xuất, [5], và nhanh chóng được sử dụng rộng rãi [6-11]. Nhờ vậy, ta có thể sử dụng PD chỉ với 1-bit, hay còn gọi là Bang-Bang (BB) PD, có khoảng biến thiên pha tại ngõ vào là bất kì để giảm thiểu điện năng tiêu thụ. Rất tiếc, mặc dầu được sử dụng rộng rãi, cho đến nay, vẫn chưa có một tài liệu nào đề cập cụ thể đến ảnh hưởng của độ phân giải của DTC đến hiệu năng của PLL.

Trong nghiên cứu này, với mục đích thiết lập tiêu chí thiết kế cho bộ DTC, trước tiên, nhóm tác giả phân tích hoạt động của khối này. Dựa vào đó, đưa ra công thức ước lượng tần số của hài và điều kiện để hài xuất hiện khi độ phân giải của DTC thay đổi. Nhờ vậy, có thể chọn độ phân giải của DTC một cách phù hợp, tối ưu hóa mối tương quan với tính tuyến tính, tính phức tạp trong thiết kế.

2. Nhiều lượng tử

Trong trạng thái khóa pha, tức, chênh lệch pha tại ngõ vào của PD là xấp xỉ zero, tần số của tín hiệu ra, $F_{dco}(z)$, bằng N lần tần số tham chiếu, F_{ref} . Nói một cách khác,

$$T_{ref} = NT_{dco}(z) \quad (1)$$

với T_{ref} và $T_{dco}(z)$ lần lượt là chu kỳ của tín hiệu tham chiếu và của tín hiệu ra. Tuy nhiên, như đã đề cập, do số chia tức thời của DIV, $mc(z)$ là một số nguyên nên trong mỗi chu kỳ tham chiếu, một lượng lỗi lượng tử (còn được gọi là nhiều lượng tử), $q(z) = N - mc(z)$ [12], được tạo ra. Do vậy, nếu không có khối DTC, chu kỳ của tín hiệu hồi tiếp sẽ trở thành

$$T_{fb}(z) = T_{div}(z) = [N - q(z)]T_{dco}(z) \quad (2)$$

với $T_{div}(z)$ là chu kỳ của tín hiệu ra của khối DIV. So sánh (1) và (2), rõ ràng, lỗi lượng tử dẫn đến sự chênh lệch chu kỳ giữa tín hiệu tham chiếu và tín hiệu hồi tiếp bằng một lượng $q(z)T_{dco}(z)$. Mặt khác, gọi $\Delta t(z)$ là độ chênh lệch thời gian tại ngõ vào của PD, ta có [13]:

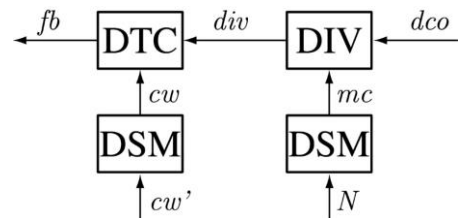
$$\Delta t(z) = \Delta t(z)z^{-1} + T_{ref} - T_{fb}(z) \quad (3)$$

Từ (3), sự chênh lệch chu kỳ khi được cộng dồn có thể khiến cho $\Delta t(z)$ biến thiên trong một khoảng lớn, mặc dù rằng, giá trị trung bình của $\Delta t(z)$ sau nhiều chu kỳ tham chiếu là không. Cụ thể, nếu như bậc của DSM là 1 thì khoảng biến thiên của $\Delta t(z)$ sẽ là $T_{dco}(z)$, nếu như bậc của DSM là 2 thì khoảng biến thiên sẽ là $2T_{dco}(z)$ [12]. Vì lí do này, DTC được thêm vào phía sau bộ DIV nhằm loại bỏ lỗi thời gian $q(z)T_{dco}(z)$ trong mỗi chu kỳ tham chiếu.

Gọi L_{dtc} là độ phân giải thời gian của DTC, giả sử rằng DTC là tuyến tính, lúc này lượng thời gian cần thiết tạo bởi DTC để loại bỏ nhiều lượng tử là:

$$cw(z)L_{dtc} = q(z)T_{dco}(z) \quad (4)$$

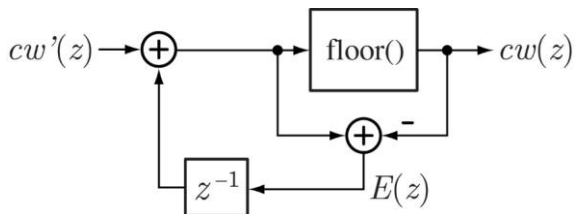
với, $cw(z)$ là tín hiệu số điều khiển DTC. Về mặt toán học, $cw(z)$ là một số nguyên, mỗi sự tăng giảm bằng 1 của $cw(z)$ sẽ dẫn đến sự tăng giảm thời gian bằng L_{dtc} . Rất tiếc, đẳng thức (4) là điều không xảy ra trong thực tế xuất phát từ sự khác nhau về độ phân giải của các khối. Thật vậy, những đại lượng N , $mc(z)$, $q(z)$ và $cw(z)$ mà chúng ta đã đề cập thực chất là những chuỗi bit được biểu diễn trong hệ thập phân, có độ dài bit khác nhau. Lặp lại ví dụ trong phần trước, với $N = 69,125$, khi $mc(z) = 69$ thì $q(z) = 0,125$. Giả sử rằng, $F_{ref} = 52$ MHz thì lúc này độ phân giải tần số của PLL cần là $q(z)F_{ref} = 6,5$ MHz. Từ ví dụ này, ta có thể suy ra rằng, để đạt được độ phân giải tần số ở mức kHz khi tần số tham chiếu ở mức vài chục MHz, chiều dài bit của $q(z)$ phải ít nhất là 15-bit, do vậy, mức thời gian tối thiểu mà nhiều lượng tử gây ra có thể sẽ nhỏ hơn $T_{dco}(z)/2^{15}$. Để DTC có thể loại bỏ hoàn toàn nhiều lượng tử trong mỗi chu kỳ tham chiếu, độ phân giải thời gian của DTC cũng phải ở mức tương tự. Thật không may, để đảm bảo tính tuyến tính của DTC và đồng thời phải phù hợp với khoảng biến thiên của $\Delta t(z)$ như đã đề cập, cũng như, vì giới hạn của công nghệ, độ phân giải như vậy của DTC là không thể có được. Thực tế, độ dài bit của chuỗi $cw(z)$ ngay cả khi áp dụng mạch hiệu chuẩn cũng chỉ có thể ở mức 10 đến 11-bit [5-11]. Vì lí do này, ngay cả khi sử dụng DTC, việc loại bỏ hoàn toàn nhiều lượng tử là điều không thể. Mặc dầu độ chênh lệch thời gian gây ra bởi lượng nhiều lượng tử còn lại trong mỗi chu kỳ tham chiếu, $cw(z)L_{dtc} - q(z)T_{dco}(z)$, là rất nhỏ, nhỏ hơn $1/L_{dtc}$, tuy nhiên, nếu không được giải quyết triệt để, sự cộng dồn sau nhiều chu kỳ vẫn có thể khiến cho $\Delta t(z)$ tăng lên. Trường hợp xấu nhất, nó có thể gây ra những lỗi phi tuyến và tạo hài trên phổ của tín hiệu ra. Để giảm thiểu phát sinh này, trong các mạch PLL sử dụng DTC, một khối DSM bậc 1 được đặt trước DTC, [11], như ở Hình 2 để lưu và cộng dồn phần dư. Khi tổng cộng dồn vượt quá 1 L_{dtc} thì $cw(z)$ được tăng thêm 1 để dùng chính DTC loại bỏ phần này, đảm bảo rằng giá trị của $\Delta t(z)$ luôn nhỏ.



Hình 2. Tín hiệu điều khiển của DIV và DTC

Nhờ khối DSM, phân bổ năng lượng theo tần số của nhiều lượng tử còn lại tại ngõ ra của DTC có chiều hướng dịch qua miền tần số cao, do vậy, lợi dụng tính chất lọc của mạch PLL mà ta sẽ đề cập ở phần sau, phần lớn lượng nhiều lượng tử còn lại này cũng sẽ được loại bỏ. Ở đây, ta sẽ phân tích cụ thể phân bổ năng lượng này.

Cấu trúc của DSM bậc 1 đặt trước khối DTC được mô tả như trong Hình 3. Trong trường hợp không có khối DSM thì tín hiệu $cw(z)$ sẽ được tạo bằng cách đưa tín hiệu $cw'(z)$, là tín hiệu thỏa mãn đẳng thức (4) và có độ dài bit bằng với của $q(z)$, đi qua hàm floor nhằm cắt bỏ những bit có trọng số bé bên phải. Hàm floor làm phát sinh lỗi lượng tử nhị phân, $E(z)$, có giá trị nhỏ hơn 1. Ngoài ra, $E(z)$ là nhiều trắng, có năng lượng phân bố đều trên miền tần số và phương sai xấp xỉ bằng 1/12 [3].



Hình 3. DSM bậc 1

Trong cấu trúc của DSM, $E(z)$ trong chu kì trước được hồi tiếp và cộng dồn vào $cw'(z)$, do vậy

$$cw'(z) + E(z)z^{-1} - cw(z) = E(z) \quad (5)$$

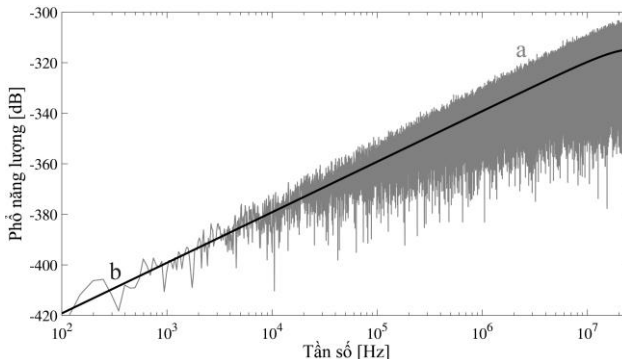
Gọi $q_{dtc}(z)$ là nhiễu lượng tử tại cửa ra của DTC, ta có

$$q_{dtc}(z) = cw'(z) - cw(z) = E(z)(1 - z^{-1}) \quad (6)$$

và suy ra được chênh lệch thời gian gây ra bởi lượng nhiễu lượng tử còn lại này là $T_{dtc}(z) = q_{dtc}(z)L_{dtc}$. Sử dụng phép biến đổi Fourier bằng cách thay $z = e^{j2\pi f/F_{ref}}$ với $j^2 = -1$, f là tần số, ta có được phân bố năng lượng của nhiễu lượng tử còn lại trên miền tần số sẽ là

$$S_{dtc}(f) = |T_{dtc}(f)|^2 = \frac{L_{dtc}^2}{3F_{ref}} \left(\sin \frac{\pi f}{F_{ref}} \right)^2 \quad (7)$$

Kết quả trong công thức (7) được xác minh bằng mô phỏng, minh họa trong Hình 4. Như có thể thấy, năng lượng của phần nhiễu lượng tử còn lại có xu hướng được dịch chuyển qua miền tần số cao.



Hình 4. Phổ năng lượng $S_{dtc}(f)$ của nhiễu lượng tử tại cửa ra DTC: (a) mô phỏng, (b) công thức (7).

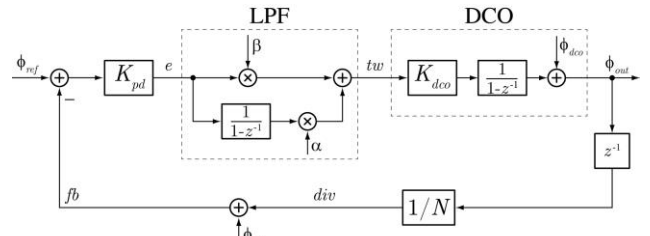
3. Mô hình tuyến tính của PLL số

Không giống các đại lượng tại cửa ra của một hệ thống mạch điện tử mà ta thường gặp là điện áp hoặc dòng, đối với PLL, đại lượng quan trọng nhất mà ta quan tâm là độ ổn định của tần số. Độ ổn định này bị ảnh hưởng bởi các sai lệch thời gian gây ra bởi các nguồn nhiễu trong hệ thống mà nhiễu lượng tử đã bàn ở phần trên là một trong số đó. Mặt khác, tín hiệu vào và tín hiệu ra của PLL đều có tính chu kì, do vậy, ta thường quy đổi thời gian qua pha.

3.1. Mô hình trên miền z

Để phân tích ảnh hưởng của các nguồn nhiễu đến dao động của tần số ra, ta thường dựa trên mô hình tuyến tính được xây dựng trên miền pha. Một mô hình như vậy được thể hiện trong Hình 5. Trong đó, khối PD được thể hiện bằng hệ số K_{pd} [bit/rad]; Khối LPF là một mạch lọc số, thông thường có 2 nhánh, một nhánh tỷ lệ có hệ số β và một nhánh tích phân có hệ số α ; Khối DCO được thay thế bằng hệ số K_{dco} [rad/bit] thể hiện sự thay đổi tần số do tác

động của LPF, theo sau là khối tích phân do pha được tạo bởi tích phân của tần số theo thời gian; Và, khối chia tần số DIV được biểu diễn bằng hệ số $1/N$, [14].



Hình 5. Mô hình tuyến tính trên miền z của PLL số thông qua sự biến thiên của pha

Trong mô hình này, chu kì tham chiếu T_{ref} được lấy làm chuẩn. Để quy đổi chênh lệch thời gian qua chênh lệch pha, ta nhân đại lượng thời gian với hệ số $2\pi/T_{ref}$, quy định rằng độ chênh lệch pha nằm trong khoảng $-\pi$ đến π (trong thực tế, chênh lệch thời gian trong trạng thái khóa pha nhỏ hơn nhiều lần so với $T_{ref}/2$). Khối z^{-1} thể hiện sự hồi tiếp của PLL, tức, lỗi của chu kì này được hồi tiếp lại để điều chỉnh tần số ra ở chu kì tiếp theo nhằm triệt tiêu lỗi. Ngoài ra, do tần số của tín hiệu ra nhanh hơn N lần so với tần số tham chiếu nên pha của tín hiệu ra ϕ_{out} , thật ra cần được biểu diễn trên miền z^N thông qua hàm $(1 - z^{-1})/(1 - z^{-N})$. Tuy nhiên, ta có thể bỏ qua yếu tố này trong tính toán do ảnh hưởng là không đáng kể. Các nguồn nhiễu ϕ_{ref} , ϕ_{dco} và ϕ_{dtc} tác động vào hệ thống tại các khối khác nhau, trong đó hai nguồn nhiễu trước là các tác nhân chính ảnh hưởng đến dao động của tần số ra đối với các PLL thông thường trong khi:

$$\phi_{dtc} = \frac{2\pi}{T_{ref}} T_{dtc} \quad (8)$$

là nhiễu lượng tử còn lại tại cửa ra của DTC đã được nhắc đến trong phần trên.

Dựa trên mô hình tuyến tính này, ta có thể tính được hàm truyền đạt trên miền z của khối LPF như sau

$$H(z) = \frac{tw(z)}{e(z)} = \frac{\beta(1-z^{-1}) + \alpha}{1-z^{-1}} \quad (9)$$

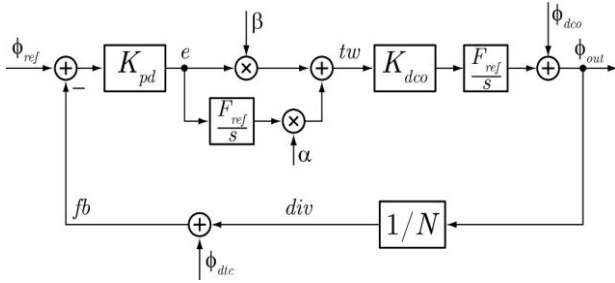
Có thể thấy, trong hàm truyền đạt (9), ta có một điểm cực nằm tại DC và một điểm không. Ngoài ra, ta còn có một điểm cực khác cũng nằm tại DC trong khối DCO, đây chính là lí do mà điểm không được thêm vào để giúp PLL không rơi vào trạng thái bất ổn định. Để đảm bảo điều này, tần số của điểm không phải rất thấp, kéo theo $\alpha \ll \beta$ trong thực tế. Chính vì vậy, khi phân tích sự ảnh hưởng đến nhiễu pha ra của các thành phần có tần số nằm ngoài điểm không, ta có thể bỏ qua nhánh tích phân trong hàm truyền đạt.

3.2. Mô hình trên miền s

Mặc dù, các hệ thống hoạt động trên miền thời gian rời rạc, như PLL số, chỉ được mô tả chính xác với biến z, trong nhiều trường hợp, thông qua phép xấp xỉ, ta cũng có thể sử dụng biến s để mô tả các hệ thống này như cho các hệ thống tuyến tính hoạt động trên miền thời gian liên tục. Độ chính xác của sự tuyến tính hóa các khối xử lý tín hiệu số phụ thuộc vào băng thông của PLL. Trên quy tắc thiết kế được sử dụng trong thực tế, băng thông của PLL thường phải nhỏ hơn ít nhất là 10 lần so với tần số tham chiếu [15]. Do đó, sử dụng triển khai Maclaurin, ta có

$$z = e^{sT_{ref}} \cong 1 + sT_{ref} \quad (10)$$

Thay z trong (10) vào các khối trong Hình 5, ta có được mô hình tuyến tính của PLL số trên miền s như trong Hình 6.

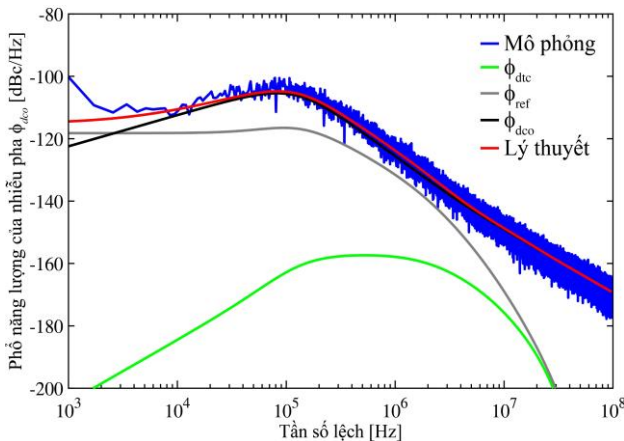


Hình 6. Mô hình tuyến tính trên miền s của PLL số

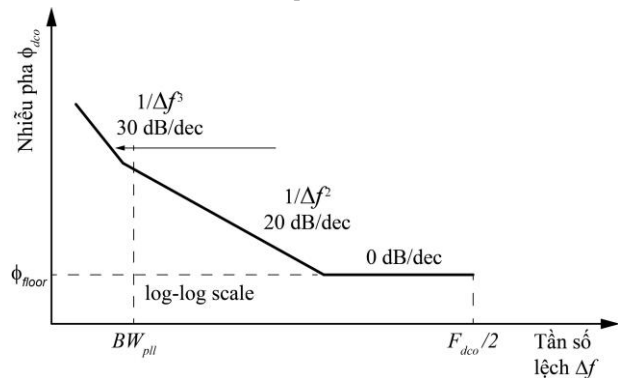
Như đã chứng minh ở phần trên, năng lượng của nhiễu lượng tử tại cửa ra của DTC được dịch phân lớn lên miền tần số cao. Do vậy, khi xác định hàm truyền đạt của nhiễu này đến nhiễu pha của tín hiệu ra, ta có thể bỏ qua nhánh tích phân trong khối LPF. Hàm truyền đạt trở thành

$$H(s) = \frac{\phi_{out}(s)}{\phi_{dtc}(s)} = \frac{K_{pd}K_{dco}\beta F_{ref}}{s + K_{pd}K_{dco}\beta F_{ref}/N} \quad (11)$$

Hàm truyền đạt (11) có 1 điểm cực, tác dụng như một mạch lọc thông thấp. Có thể kết luận rằng, khi nhiễu lượng tử truyền đến tín hiệu ra, phần lớn năng lượng đã bị lọc đi.



Hình 7. Nhiễu pha của tín hiệu ra



Hình 8. Nhiễu pha của khối DCO khi đứng riêng lẻ

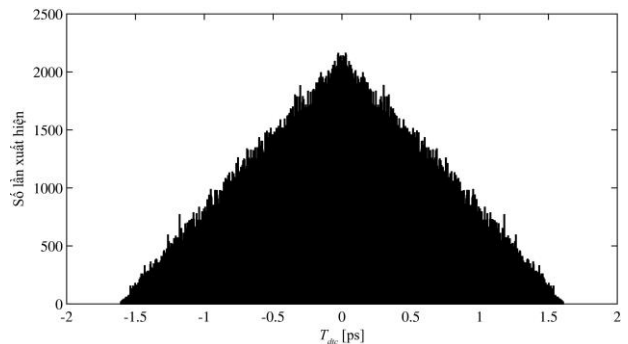
Tương tự như trên, ta cũng có thể chứng minh rằng, chỉ những thành phần tần số thấp của nhiễu ϕ_{ref} của nguồn tham chiếu sẽ xuất hiện tại tín hiệu ra trong khi điều ngược lại xảy ra với nhiễu ϕ_{dco} của bộ tạo dao động DCO. Những đặc tính này được xác minh thông qua mô phỏng, thể hiện trong Hình 7. Mặc dầu, không được đề cập chi tiết trong bài báo, nhiễu ϕ_{ref} thực chất là nhiễu trắng, trong khi nhiễu ϕ_{dco} có

dạng hình váy như được minh họa trong Hình 8, [16], nếu như khối DCO đứng riêng lẻ, không bị chi phối bởi cơ cấu hồi tiếp của PLL. Nói cách khác, khi băng thông của PLL lớn hơn tần số góc mà tại đó nhiễu pha của DCO tỷ lệ với $1/(\Delta f)^3$ (tham khảo Hình 8) thì phần bỏ nhiễu pha ϕ_{out} của tín hiệu ra của PLL bị chi phối bởi nhiễu tham chiếu khi tần số thấp hơn băng thông và bởi nhiễu DCO khi tần số cao hơn băng thông. Ở đây, ta cũng dễ dàng suy ra được băng thông của PLL là:

$$BW_{pll} = \frac{K_{pd}K_{dco}\beta F_{ref}}{2\pi N} \quad (12)$$

4. Hải và điều kiện để không xuất hiện hải

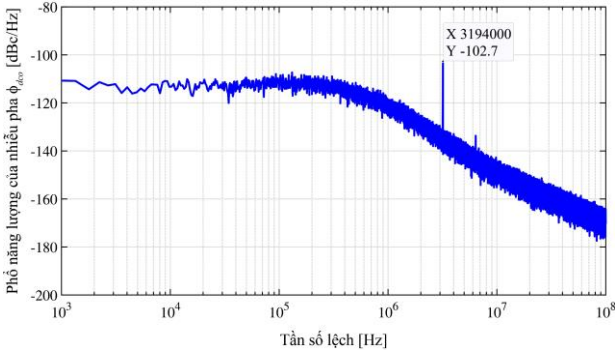
Các phân tích ở trên cho thấy, phần lớn nhiễu lượng tử đã được lọc khi truyền đến tín hiệu ra nhờ có bộ DSM và hàm truyền đạt $H(s)$ có tính chất lọc thông thấp. Do vậy, nhiễu lượng tử thường ít được đề cập một khi đã sử dụng DTC để loại bỏ. Tuy nhiên, trong các phân tích trên, thực chất, ta đã bỏ qua một yếu tố có khả năng bị chi phối bởi nhiễu lượng tử, đó chính là mô hình tuyến tính của khối BBPD. Thật vậy, khối BBPD, như đã đề cập, do cấu tạo 1-bit của nó, chỉ có thể cho ra 2 mức tín hiệu là 1 và -1, do đó, về bản chất, đây là một khối phi tuyến. Để có thể mô hình hóa khối BBPD này bằng một hằng như cho các khối tuyến tính khác, điều kiện tiên quyết là phân bố của chênh lệch thời gian tại ngõ vào của khối BBPD, Δt , phải có dạng của phân bố Gauss [17]. Điều này, về cơ bản, có thể đạt được dễ dàng nếu Δt bị chi phối bởi nhiễu tham chiếu và nhiễu DCO. Do vậy, khi thiết kế các mạch BB PLL, độ phân giải thời gian, L_{dte} , của khối DTC thường được chọn rất nhỏ để đảm bảo tác động của nhiễu lượng tử từ T_{dte} đến Δt , là có thể bỏ qua do phân bố của T_{dte} có dạng của phân bố tam giác như đã được chứng minh trong [12] và xác minh bằng kết quả mô phỏng trong Hình 9. Rất tiếc, khi độ phân giải nhỏ, các mạch DTC thường cần các mạch hiệu chỉnh để đảm bảo tính tuyến tính, do đó, làm tăng thêm diện tích tiêu thụ cũng như diện tích.



Hình 9. Ví dụ về phân bố giá trị của T_{dte}

Giả sử rằng, trong trường hợp độ phân giải thời gian của khối DTC là lớn, khối BBPD mất đi tính tuyến tính, vậy, trong phân bố năng lượng trên miền tần số của nhiễu pha của tín hiệu ra sẽ xuất hiện các hài thấp phân như được minh họa trong Hình 10. Tuy vậy, các hài này có thực sự là vấn đề đáng quan tâm, điều này còn phụ thuộc vào tần số mà tại đó nó xuất hiện. Nếu như hài xuất hiện tại tần số cao, năng lượng của nó, thực ra, khi so với năng lượng của tín hiệu ra tại tần số mong muốn, là không đáng kể. Do vậy,

ta có thể chấp nhận sự xuất hiện của hài để chọn L_{dtc} với giá trị lớn nhằm loại bỏ yêu cầu về mạch hiệu chỉnh. Ở đây, bài báo sẽ đưa ra cách xác định tần số của hài.



Hình 10. Ví dụ về hài thập phân khi độ phân giải thời gian của khối DTC lớn

Về cơ bản, hài xuất hiện trong phổ năng lượng nhiễu pha của tín hiệu ra trong hai trường hợp, một là khi có yếu tố có tính tuần hoàn trong mạch và hai là khi có khối phi tuyến, như khối BBPD, trong cấu tạo của mạch. Do năng lượng của hài tập trung tại một vài tần số, nó có thể gây ra những giao thoa với tín hiệu trong truyền tải không dây, và rõ ràng là điều nên tránh. Trong lý thuyết của vòng khóa pha, tần số của hài được xác định dựa trên phần thập phân của số chia N , gọi là N_f , và tần số tham chiếu F_{ref} . Cụ thể, trong ví dụ đã đề cập, do phân thập phân là $N_f = 0,125$, nếu như lỗi lượng tử hoàn toàn không được giải quyết, tức $q(z)$ được giữ nguyên do không có DTC, thì hài sẽ xuất hiện tại tần số 6,5 MHz và các bội số của tần số này. Tuy nhiên, khi DTC được sử dụng, phần lớn của lỗi lượng tử đã được triệt tiêu, hay nói cách khác, các bit bên trái có trọng số lớn của $q(z)$ đã bị loại bỏ, chỉ còn lại các bit có trọng số bé bên phải. Do đó, phần thập phân mới N'_f , tương ứng sẽ là:

$$N'_f \cong N_f \frac{cw(z)}{q(z)} = N_f \frac{T_{dco}(z)}{L_{dtc}} = N_f \frac{T_{ref}}{NL_{dtc}} \quad (13)$$

tương tự như đối với phép toán thao tác dịch trái bit (bit shift left). Từ (13), và dựa trên lý thuyết của vòng khóa pha, ta cũng có thể suy đoán được tần số của hài lúc này sẽ là

$$f_{hài} = N'_f F_{ref} = \frac{N_f}{NL_{dtc}} \quad (14)$$

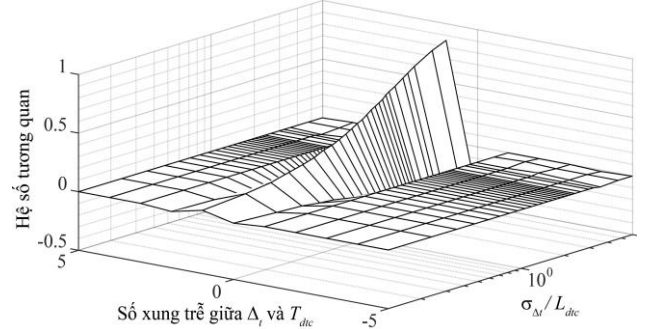
Trong (14), khi thay các giá trị thực tế vào, nếu tần số của hài nằm trong vùng bị lọc, cách xa băng thông (được tính theo công thức (12)), thì sự xuất hiện của hài có thể được bỏ qua.

Tiếp đến, ta bàn về cách khảo sát điều kiện của sự xuất hiện của hài. Như đã đề cập, sự xuất hiện của hài phụ thuộc vào mối tương quan giữa chênh lệch thời gian Δt , bị chi phối bởi nhiễu tham chiếu và nhiễu DCO, tại ngõ vào của BBPD và T_{dco} . Nếu hệ số tương quan giữa Δt và T_{dco} nhỏ thì BBPD có thể được coi là tuyến tính, do đó, hài sẽ không xuất hiện [17]. Ngoài ra, khi giá trị của Δt được phân bố theo Gauss thì hệ số tự tương quan của Δt với chính nó ở các độ trễ khác nhau cũng sẽ là rất nhỏ. Đặc biệt, hệ số tự tương quan giữa $\Delta t(z)$ và $\Delta t(z)z^{-1}$ sẽ trở thành âm nếu ảnh hưởng của T_{dco} lớn lên, lí do là tác động của nhiễu lượng tử ở chu kì tham chiếu trước tác động đến biến thiên của Δt trong chu kì tham chiếu sau. Để khảo sát sự biến thiên của các hệ số tương quan trên, ta có thể coi

biến là tỷ lệ của phương sai của Δt và L_{dco} vì, từ (7), độ lớn của T_{dco} tỷ lệ thuận với độ phân giải L_{dco} khi tần số tham chiếu không đổi. Ngoài ra, đối với phương sai $\sigma_{\Delta t}$ của Δt , ta có thể xác định dựa trên báo cáo vừa được xuất bản gần đây trong [18].

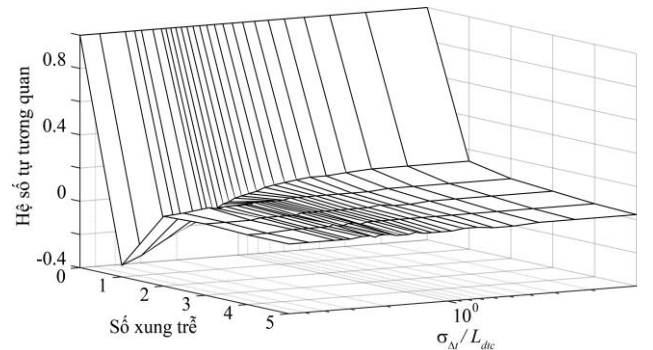
5. Mô phỏng

Một mô hình mô phỏng cho PLL Bang-Bang kiểu bội số thập phân- N được xây dựng bằng ngôn ngữ MATLAB, giả sử rằng vòng khóa pha sẽ được sử dụng như bộ tổng hợp tần số trong các ứng dụng không dây (tần số ra rơi vào khoảng 3,7 đến 4,2 GHz) [19]. Các thông số thiết kế được dựa trên các kết quả đo đạc của mạch thực tế [19]. Bảng thông của PLL có giá trị khoảng 500 kHz.



Hình 11. Hệ số tương quan giữa Δt và T_{dco}

Trước tiên, ta cho thay đổi giá trị của L_{dco} trong khi giữ nguyên nhiễu tham chiếu và nhiễu DCO, các kết quả mô phỏng hệ số tương quan giữa Δt và T_{dco} được tổng hợp trong Hình 11 và hệ số tự tương quan của Δt được tổng hợp trong Hình 12. Độ trễ giữa các đại lượng cũng được biến thiên để khảo sát có được kết quả một cách chính xác nhất. Từ kết quả của cả Hình 11 và Hình 12 ta thấy, khi tỷ lệ giữa $\sigma_{\Delta t}/L_{dco}$ nhỏ hơn khoảng 1,8, ảnh hưởng của nhiễu lượng tử đến Δt là rõ nét, khối BBPD không còn hoàn toàn tuyến tính và hài xuất hiện tại phổ năng lượng nhiễu pha của tín hiệu ra. Do vậy, ta có thể kết luận rằng điều kiện để hài không xuất hiện là khi độ phân giải thời gian của khối DTC lớn hơn 1/1,8 lần phương sai của độ chênh lệch thời gian tại cửa vào của BBPD gây ra bởi nhiễu tham chiếu và nhiễu DCO.



Hình 12. Hệ số tự tương quan của Δt

Bảng 1 so sánh tần số của hài khi tính theo công thức (14) và mô phỏng giả sử rằng L_{dco} đủ lớn để hài xuất hiện, các giá trị được thiết lập cho mô phỏng lần lượt là $N_f = 97/2^{18}$, $N = 72 + N_f$ và $L_0 = 320$ ps. Rõ ràng, tính đúng đắn của công thức (14) được xác minh.

Bảng 1. Tần số của hài

L_{dnc}/L_0	1.7	1.9	2	2.2	2.7	3	4	5
(7) [MHz]	9,447	8,452	8,03	7,3	5,948	5,353	4,015	3,212
Mô phòng [MHz]	9,453	8,441	8,032	7,31	5,951	5,361	4,008	3,223

6. Kết luận

Bài báo đã phân tích hoạt động của khối DTC khi sử dụng trong PLL Bang-Bang kiểu bội số thập phân, đưa ra công thức ước lượng tần số của hài khi độ phân giải thời gian của khối DTC đủ lớn. Dựa vào công thức này, ta có thể đánh giá xem liệu rằng ảnh hưởng của hài có thể bỏ qua được hay không. Ngoài ra, các kết quả mô phỏng dựa trên một mô hình đáng tin cậy cho phép chúng ta biết được tỷ lệ giữa phương sai chênh lệch thời gian tại ngõ vào của BBPD và độ phân giải DTC mà tại đó hài xuất hiện do sự phi tuyến của khối BBPD.

Lời cảm ơn: Nghiên cứu này được tài trợ bởi Quỹ Phát triển Khoa học và Công nghệ - Đại học Đà Nẵng trong đề tài có mã số B2019-DN02-72.

TÀI LIỆU THAM KHẢO

- [1] B. Razavi, "Jitter-power trade-offs in plls", *IEEE Trans. Circuits and Systems I*, vol. 68, no. 4, pp. 1381–1387, Apr. 2021.
- [2] W. Bae, "State-of-the-art circuit techniques for low-jitter phase-locked loops: Advanced performance benchmark fom based on an extensive survey", *IEEE International Symposium on Circuits and Systems (ISCAS)*, May. 2021.
- [3] B. Miller and R. J. Conley, "A multiple modulator fractional divider", *IEEE Transactions on Instrumentation and Measurement*, vol. 40, no. 3, pp. 578–583, Jun. 1991.
- [4] T. A. D. Riley, M. A. Copeland, and T. A. Kwasniewski, "Delta-sigma modulation in fractional-n frequency synthesis", *IEEE J. Solid-State Circuits*, vol. 28, no. 5, pp. 553–559, May. 1993.
- [5] D. Tasca, M. Zanuso, G. Marzin, S. Levantino, C. Samori, and A. L. Lacaita, "A 2.9-to-4.0ghz fractional-n digital pll with bang-bang phase detector and 560fsrms integrated jitter at 4.5mw power", *IEEE J. Solid-State Circuits*, vol. 46, no. 12, pp. 2745–2758, Dec. 2011.
- [6] T. M. Vo, C. Samori, A. L. Lacaita, and S. Levantino, "A novel segmentation scheme for dtc-based $\Delta\Sigma$ fractional-n pll", *IEEE Symposium on Circuits and Systems (ISCAS)*, May 2017, pp. 242–245.
- [7] H. Liu et al., "A 0.98mw fractional-n adpll using 10b isolated constant-slope dtc with fom of -246db for iot applications in 65nm cmos", *IEEE ISSCC Dig. Tech. Papers*, Feb. 2018.
- [8] T. M. Vo, C. Samori, and S. Levantino, "A novel lms-based calibration scheme for fractional-n digital plls", *IEEE Symposium on Circuits and Systems (ISCAS)*, pp. 1–4, May. 2018.
- [9] W. Wu et al., "A 28-nm 75-fsrms analog fractional- n sampling pll with a highly linear dtc incorporating background dtc gain calibration and reference clock duty cycle correction", *IEEE J. Solid-State Circuits*, vol. 54, no. 5, pp. 1254–1265, May. 2019.
- [10] V. Govindaraj et al., "Dtc-assisted all-digital phase-locked loop exploiting hybrid time/voltage phase digitization", *IEEE Asia Pacific Conference on Circuits and Systems (APCCAS)*, Nov. 2019.
- [11] T. M. Vo, "A novel parallel dtc segmentation scheme for fractional-n digital plls", *Journal of Science and Technology: Issue on Information and Communications Technology*, vol. 18, no. 4.2, pp. 1–7, 2020.
- [12] T. M. Vo, "Analysis of first- and second-order digital $\Delta\Sigma$ modulator used in fractional-n plls", *Journal of Science and Technology: Issue on Information and Communications Technology*, Vol. 19, No. 12.2, 2021, 10-16.
- [13] T. M. Vo, "Analysis of frequency-aid technique for fractional-n digital bb-pll in time-domain", *IEEE Trans. Circuits and Systems II*, vol. 67, no. 12, pp. 2888–2892, Dec. 2020.
- [14] S. Mendel, and C. Vogel, "A z-domain model and analysis of phase-domain all-digital phase-locked loops", *IEEE Norchip*, Nov. 2007.
- [15] F. M. Gardner, "Charge pump phase-lock loops", *IEEE Transactions on Communications*, vol. 28, pp. 1849–1858, November 1980.
- [16] D. B. Lesson, "A simple model of feedback oscillator noise spectrum", *Proc. IEEE*, vol. 54, no. 2, pp. 329–330, Feb. 1966.
- [17] N. D. Dalt, "Linearized analysis of a digital bang-bang pll and its validity limits applied to jitter transfer and jitter generation", *IEEE Trans. Circuits and Systems I*, vol. 55, no. 11, pp. 3663–3675, Dec. 2008.
- [18] L. Avallone, M. Mercandelli, A. Santiccioli, M. P. Kennedy, S. Levantino, and C. Samori, "A comprehensive phase noise analysis of bang-bang digital plls", *IEEE Trans. Circuits and Systems I*, vol. 68, no. 7, pp. 2775–2786, Jul. 2021.
- [19] G. Marzin, S. Levantino, C. Samori, and A. L. Lacaita, "A 20 mb/s phase modulator based on a 3.6 ghz digital pll with -36 db evm at 5 mw power", *IEEE J. of Solid-State Circuits*, vol. 47, no. 12, pp. 2974–2988, Dec. 2012.