

PHƯƠNG PHÁP GÀI LỖI ĐỂ KIỂM TRA CHÂN CHIP DỰA TRÊN CÔNG NGHỆ KIỂM TRA QUÉT BIÊN VÀ XJLINK

FAULT INJECTION METHOD TO TEST CHIP PIN BASED ON THE BOUNDARY SCAN TECHNOLOGY AND XJLINK

Nguyễn Văn Trường^{1*}, Vũ Văn Lương², Trần Duy Hưng¹, Nguyễn Đăng Quang¹, Bùi Hoàng Tùng¹

¹Trường Cao đẳng Công nghiệp Quốc phòng

²Học viện Phòng không – Không quân

*Tác giả liên hệ: nvtruong.25890@gmail.com

(Nhận bài: 28/11/2022; Chấp nhận đăng: 20/4/2023)

Tóm tắt - Trong bài viết này, nhóm tác giả đề xuất một phương pháp giải lỗi nhanh dựa trên công nghệ kiểm tra quét biên và XJLink để kiểm tra kết nối cũng như khống chế các chân chip giải quyết vấn đề hỏng hóc hệ thống điện tử trong môi trường làm việc phức tạp. Phương pháp sử dụng phần cứng XJLink thông qua công nghệ kiểm tra quét biên tích hợp trong chip để thực hiện giải lỗi trên một số chân của chip mà không cần thực hiện các tác động vật lý, không làm thay đổi cấu trúc của hệ thống mạch. Trên cơ sở của phương pháp trên, các nghiên cứu cải tiến sâu hơn đã được thực hiện, sử dụng nhân IP thay thế chuỗi quét biên điều khiển tín hiệu chân chip để cải thiện tốc độ giải lỗi. Kết quả thực nghiệm trên các bo mạch FPGA cho thấy, phương pháp đề xuất có độ tin cậy và tính linh hoạt cao, tốc độ nhanh nhất có thể đạt tới 160MHz khi sử dụng nhân IP, đồng thời giảm thời gian và chi phí kiểm tra.

Từ khóa - Công nghệ kiểm tra quét biên; kiểm tra chip; cổng JTAG; giải lỗi; FPGA

1. Đặt vấn đề

Trong những năm gần đây, với sự phát triển như vũ bão của khoa học kỹ thuật, công nghệ chế tạo chip ngày càng tinh xảo đạt tới 1nm, các dòng chip hiện hành như mảng công lập trình được dạng trường (Field Programable Gate Array, FPGA), bộ xử lý tín hiệu (Digital Signal Processing, DSP), vi xử lý ARM (Advanced RISC Machine) có kích thước ngày càng nhỏ, mật độ bóng bán dẫn cao, số lượng chân nhiều được ứng dụng rộng rãi trong mọi lĩnh vực dân dụng và quân sự. Tuy nhiên, sự phát triển này đưa ra thách thức rất lớn trong việc đảm bảo tính năng hoạt động bình thường của các chân chip. Trong khi đó, các phương pháp hiện hành kiểm tra tính năng của chân chip gần như không thể đáp ứng được yêu cầu kiểm tra.

Gài lỗi sai là một trong những phương pháp quan trọng kiểm tra tính khả thi của hệ thống điện tử khi hoạt động trong những môi trường đặc biệt như hàng không vũ trụ, là phương pháp thông qua con người gài những lỗi sai khác nhau vào các chân của chip từ đó đánh giá chất lượng của chân được gài. Trong những năm gần đây, nhiều phương pháp gài lỗi đã được các nhà khoa học đề xuất: Shi Junyou và cộng sự đã thiết kế một thiết bị gài lỗi điều khiển tự động để vận hành, nhưng các hỗ trợ của thiết bị rất hạn chế [1]; Qin Haibo và cộng sự đề xuất một bộ gài lỗi cho hệ thống điều khiển điện tử kỹ thuật số toàn quyền, thông qua đầu dò có thể thực hiện được gài lỗi tại các nút mạch số và mạch

Abstract - In this paper, a fast fault injection method based on boundary scan test technology and XJLink is proposed to check the connection as well as control the chip pins to solve the failure problem of the electronic system working in a complex environment. The method uses XJLink hardware to inject the fault into some chip pins through the boundary scan test technology without performing physical actions or modifying the circuit system structure. On the basis of the above method, an improved method is proposed, using the IP core instead of the boundary scan chain to control the chip signal to improve the fault injection speed. The experimental results on FPGA boards show that the proposed method has high reliability and flexibility, and the fastest speed can reach 160MHz while reducing testing time and cost.

Key words - Boundary scan technology; chip testing; JTAG interface; fault injection; FPGA

tương tự [2]; Le và cộng sự phân tích sâu về ứng dụng và thách thức của phương pháp gài lỗi trong các hệ thống ảo [3]; Zhang Rui và cộng sự sử dụng FPGA để thiết kế hệ thống gài lỗi có thể mô phỏng các hiệu ứng sự kiện đơn [4]; Yu Tingting và cộng sự đề xuất một phần mềm chèn lỗi dựa trên dòng mã cho FPGA loại SRAM, phần mềm này có thể mô phỏng hiệu ứng đảo lộn sự kiện đơn [5], và Yao Wenbin và cộng sự đề xuất một nền tảng mô phỏng đưa ra thuật toán xây dựng cơ sở dữ liệu lỗi để nhập vào hệ thống thông tin, nền tảng này chỉ có thể đưa các loại lỗi rời rạc ngẫu nhiên vào hệ thống thông tin mục tiêu, nhưng thiếu khả năng tạo lỗi liên tục, lỗi thay đổi dần dần [6].

Công nghệ kiểm tra quét biên là một phương pháp kiểm tra tiên tiến và được tiêu chuẩn hóa do Nhóm Joint Test Action Group đề xuất có thể kiểm tra chân đoán lỗi các mạch số, mạch tương tự, mạch hỗn hợp và mạch có tín hiệu cao tần phức tạp, mật độ dày đặc [7-9]. Hiện nay, các thiết bị vi xử lý như FPGA, DSP, ARM và PowerPC đều được tích hợp kiến trúc quét biên theo tiêu chuẩn IEEE1149.x khác nhau và đều hỗ trợ cổng kết nối JTAG để giao tiếp. Nhiều kết quả nghiên cứu đã được công bố dựa trên công nghệ quét biên như sử dụng công nghệ quét biên JTAG để kiểm tra cấp mạch điện ở cấp hệ thống [10], thiết kế một lõi mềm IP dựa trên FPGA để mô phỏng bộ điều khiển TAP và mạch quét biên trong cấu trúc quét biên [11], hệ thống Xception của Đại học Coimbra ở

¹ Military Industrial College (Van Truong Nguyen, Duy Hung Tran, Dang Quang Nguyen, Hoang Tung Bui)

² Air Defence – Air Force Academy (Van Luong Vu)

Bộ Đào Nha có thể hỗ trợ giải lỗi cho các chip Power PC và Pentium [12].

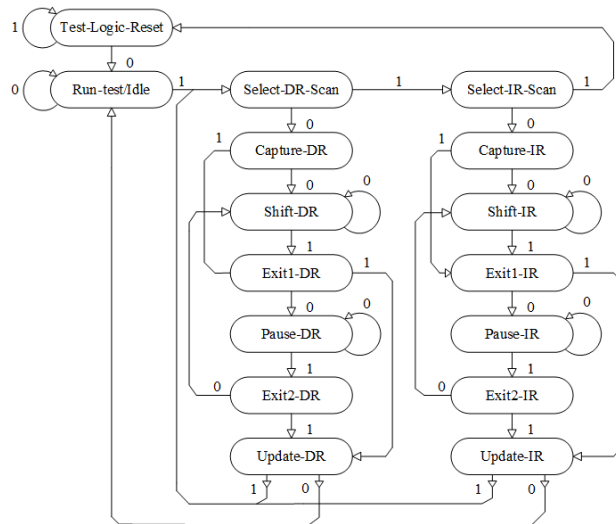
XJLink là thiết bị kết nối máy tính với các chip hay kit mạch có hỗ trợ công nghệ quét biên do công ty XJTAG thiết kế, sử dụng các API kết nối với kết cấu quét biên bên trong chip thông qua công JTAG thu thập dữ liệu trên chân chip và truyền về cho máy tính để chương trình điều khiển xử lý [13].

Từ những nghiên cứu trên, nhóm tác giả bắt đầu từ công nghệ kiểm tra quét biên và lấy giao diện JTAG làm giải pháp đề xuất phương án giải lỗi mềm chân chip dựa trên XJLink với tần số đạt tới 130KHz giúp cải thiện tính linh hoạt đáp ứng yêu cầu kiểm tra chip hiện nay. Trên cơ sở này, nhân mềm IP [14] được sử dụng để tối ưu hóa quá trình giải lỗi, giảm độ phức tạp và cải thiện tốc độ giải lỗi. Cuối cùng, kết quả thực nghiệm trên các bo mạch FPGA cho thấy rằng, phương án đề xuất có tính khả thi, tính linh hoạt cao, tốc độ giải lỗi sai có thể đạt tới 160MHz.

2. Phương án giải lỗi dựa trên công nghệ quét biên đề xuất

2.1. Nguyên lý chung

Mục tiêu của phương pháp giải lỗi chân chip dựa trên công nghệ quét biên và XJLink là thiết lập mô hình có thể kiểm tra và không chế giải lỗi mềm cho chân chip vào bất kỳ lúc nào và bất kỳ vị trí nào trong điều kiện hệ thống hoạt động bình thường. Cấu trúc mạch của phương pháp giải lỗi chân chip dựa trên công nghệ quét biên được thể hiện trong Hình 1, bao gồm 5 khối chức năng: Khối điều khiển lỗi, khối BSSR (Boundary Scan Shift Register), khối giải lỗi, khối lựa chọn lỗi và khối JTAG.



Hình 2. Sơ đồ trạng thái của khối điều khiển lỗi

- Thanh ghi dịch chuyển quét biên (BSSR)

Dưới sự khống chế của khối điều khiển lỗi, Các thanh ghi quét biên sẽ dịch chuyển nối tiếp các lệnh thông qua cổng TDI để thực hiện việc cài đặt kiểm tra hệ thống và giải lỗi sai.

- Khối giải lỗi

Đây là khối cốt lõi của việc thực hiện giải lỗi, và đây cũng là trọng tâm của bài báo này. Sau khi BSSR tải lệnh, khối giải lỗi thực hiện các chức năng thu thập dữ liệu, truyền dữ liệu, thiết lập lỗi và giải lỗi vào các chân chip dưới sự điều khiển của khối điều khiển lỗi. Thông qua phân tích các phương pháp lỗi phần mềm phổ biến hiện nay, nhóm tác giả đề xuất hai phương pháp giải lỗi dựa trên chuỗi quét biên và dựa trên nhân IP.

- Khối chọn lỗi

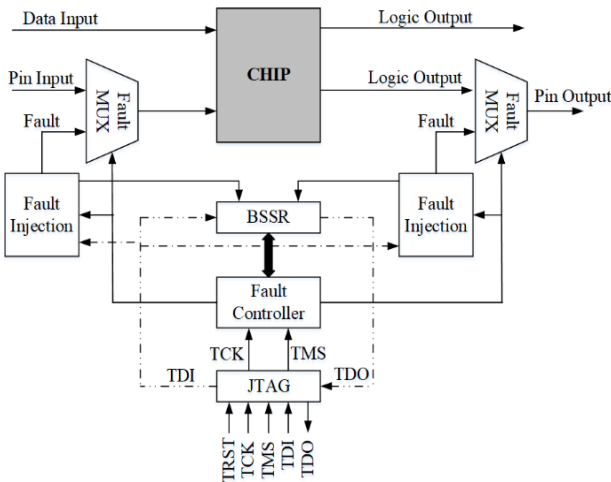
Thông qua khối giải lỗi, các lỗi đã được truyền vào chip mà không ảnh hưởng đến hoạt động bình thường của chip. Khối chọn lỗi chịu trách nhiệm truyền các lỗi đã nhập đến chân chip. Khối chọn lỗi thực chất là mạch ghép 2 kênh, tín hiệu đầu vào là tín hiệu bình thường của chân chip và tín hiệu giải lỗi, đầu ra được kết nối với chân chip.

- Giao diện JTAG

Là trạm trung chuyển giữa hệ thống xử lý lỗi và phần mềm trên máy tính, sau khi hệ thống thu thập được dữ liệu sẽ gửi lại máy tính thông qua giao diện JTAG, đồng thời phần mềm cũng truyền dữ liệu trở lại hệ thống thông qua giao diện JTAG sau khi xử lý dữ liệu lỗi để thực hiện chức năng giải lỗi.

2.2. Phương pháp giải lỗi dựa trên chuỗi

Nguyên tắc giải lỗi dựa trên phương pháp chuỗi quét được thể hiện trong Hình 3. Khối tạo vector lỗi sẽ hình thành một chuỗi quét theo cách nối tiếp từ nhiều thanh ghi dịch chuyển tuyến tính, chiều dài chuỗi là tổng số lượng các chân I/O và chân bên trong của chip. Khi bộ điều khiển ở trạng thái Capture_DR, mỗi thanh ghi của chuỗi quét được kết nối với một chân chip để thu thập thông tin; Khi bộ điều khiển ở trạng thái Shift_DR, thông tin chân được xuất ra đầu cuối Q₁ để tạo ra một vector lỗi để đảm bảo trong quá trình giải lỗi các chân khác của chip hoạt động bình thường.



Hình 1. Sơ đồ giải lỗi dựa trên công nghệ quét biên

- Khối điều khiển lỗi

Điều khiển lỗi là bộ điều khiển trạng thái có sự chuyển đổi giữa 16 trạng thái được điều khiển bởi tín hiệu xung TCK và tín hiệu chọn chế độ TMS. Đây là khối cốt lõi quản lý và điều khiển toàn bộ hệ thống giải lỗi, chịu trách nhiệm quản lý điều tiết các chế độ hệ thống, thực hiện chức năng thu thập và dịch chuyển BSSR đăng ký chức năng tải và dịch chuyển dữ liệu trên các thanh ghi BSSR, cũng như chức năng giải lỗi vào chân chip. Sự chuyển đổi giữa các trạng thái điều khiển được thể hiện trong Hình 2.

Khởi gài vector lỗi tương tự như khởi tạo vector lỗi, khối này cũng được tạo ra bằng cách kết nối nối tiếp nhiều thanh ghi dịch chuyển và độ dài bằng với độ dài của chuỗi tạo vector lỗi. Ngoài ra, một bộ ghép kênh được thêm vào đầu vào khối gài vector lỗi. Khi khối điều khiển TAP ở trạng thái Shift_DR, tín hiệu lỗi được gài cho chân cần kiểm tra, các chân khác sẽ được truyền dữ liệu thu được từ đầu cuối Q_i.

vào các chân chip và các chân chip được gài các dữ liệu đã được xử lý trước đó, hoàn thành một chu trình gài lỗi không chế chân chip.

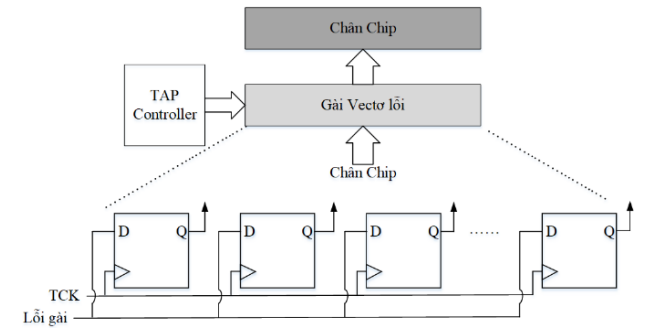
Dễ dàng nhận thấy, phương pháp gài lỗi chuỗi quét cần điều khiển tất cả các chân của chip và việc gài lỗi được thực hiện bằng cách kết nối nối tiếp các thanh ghi để dịch chuyển tín hiệu lỗi đến chân được chỉ định, do đó tốc độ gài lỗi chậm, tỷ lệ nghịch với số chân chip. Tốc độ gài lỗi được đưa ra bởi công thức (1).

$$f_{gl} = \frac{f_{TCK}}{2L} \tag{1}$$

Trong đó, f_{TCK} là tần số xung kiểm tra quét biên; L là độ dài chuỗi quét được tạo ra bởi khối tạo vector lỗi.

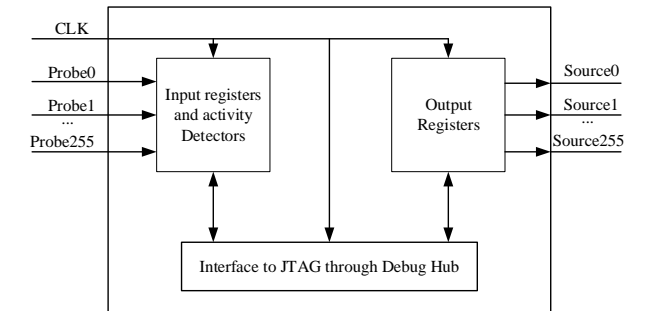
2.3. Phương pháp gài lỗi dựa trên nhân IP

Hệ thống điện tử khi làm việc trong môi trường khắc nghiệt đặc biệt là hàng không thì có thể xảy ra nhiều lỗi, dù là lỗi gì thì cũng cần nhanh chóng khắc phục để tránh ảnh hưởng đến hoạt động bình thường của toàn bộ hệ thống. Trên cơ sở phương pháp gài lỗi dựa trên chuỗi quét, bài báo đề xuất phương pháp sử dụng nhân IP do các nhà sản xuất chip FPGA cung cấp để thay thế chuỗi quét biên nhằm thực hiện quá trình gài lỗi theo thời gian thực.



Hình 5. Sơ đồ nguyên lý gài lỗi dựa trên nhân IP

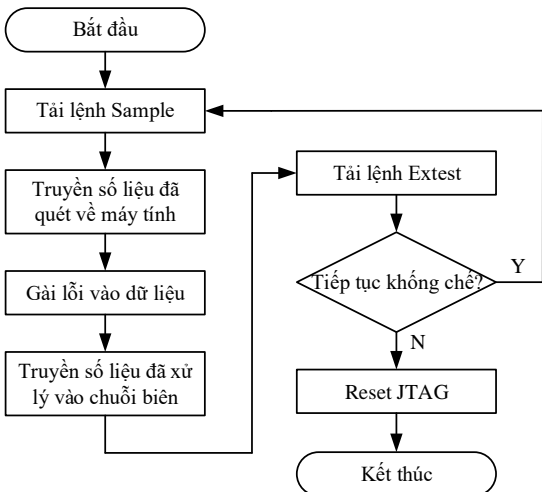
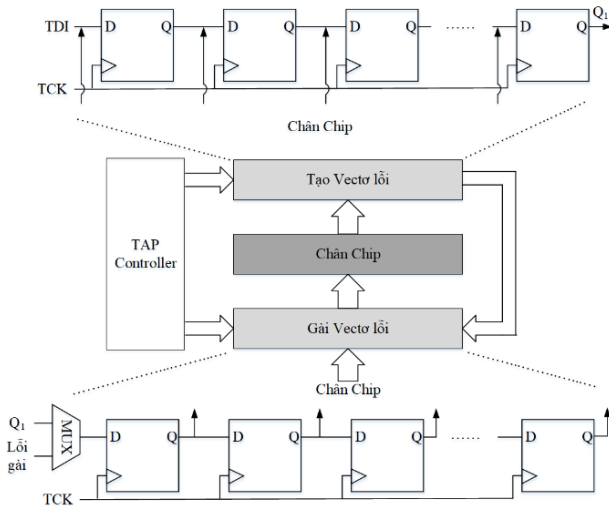
Nhân IP sử dụng hai thanh ghi dữ liệu user của kết cấu quét biên để xây dựng kênh truyền thông tin. Cấu trúc gài lỗi dựa trên nhân IP được thể hiện trong Hình 5. Dưới sự điều khiển của bộ điều khiển lỗi, dữ liệu lỗi được truyền trực tiếp từ cổng TDI đến nhân IP, sau đó nhân IP trực tiếp phân phối dữ liệu đến đầu ra của chân cần kiểm tra sau khi nhận được dữ liệu, các chân khác của chip không bị ảnh hưởng bởi bất kỳ điều khiển nào.



Hình 6. Cấu tạo nhân IP In System Source an Probes

Intel FPGA cung cấp hai nhân IP có hỗ trợ công nghệ quét biên đó là nhân IP In System Source and Probes và Virtual JTAG. Trong nghiên cứu này, nhóm tác giả tiến hành phân tích kết cấu của nhân IP in system source and

Hình 3. Sơ đồ nguyên lý gài lỗi dựa trên chuỗi quét

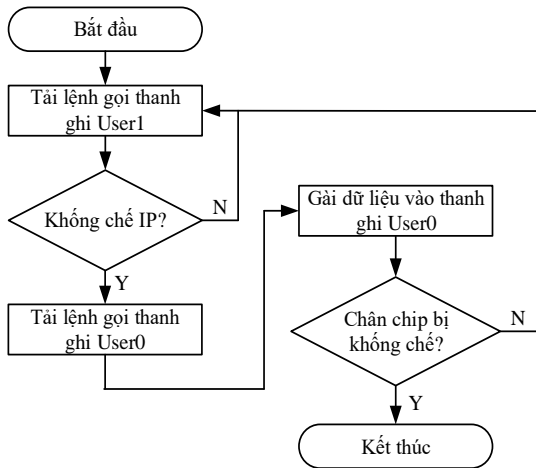


Hình 4. Quy trình gài lỗi dựa trên chuỗi quét

Phương pháp gài lỗi dựa trên chuỗi quét sử dụng hai lệnh bao gồm lệnh Sample và lệnh Exttest trong công nghệ quét biên để tiến hành gài lỗi sai không chế các chân chip như thể hiện trong Hình 4. Đầu tiên, thông qua bộ điều khiển TAP tiến hành tải lệnh Sample thì chip vẫn ở trạng thái hoạt động bình thường, kết cấu quét biên tiến vào trạng thái thu thập dữ liệu ở các chân chip và gắn lên các đơn nguyên quét biên, sau đó được truyền về máy tính kết nối thông qua JTAG dưới dạng chuỗi dữ liệu; căn cứ vào tải liệu BSDL tương ứng của từng chip xác định vị trí của chân chip cần không chế từ đó tiến hành gài lỗi sai vào vị trí tương ứng trong chuỗi dữ liệu được truyền về; dữ liệu sau khi đã được xử lý được truyền ngược lại vào các đơn nguyên quét biên, khi đó dữ liệu truyền vào vẫn chưa được gắn lên các chân chip, chip vẫn trong trạng thái hoạt động bình thường; thông qua bộ điều khiển TAP tải lệnh Exttest, khi đó dữ liệu trên các đơn nguyên quét biên sẽ được gắn

probes, thông qua XJLink không chế nhân IP này tiến hành gài lỗi sai vào trong chân chip.

Cấu tạo của nhân IP in system source and probes được thể hiện trong Hình 6. Trong đó, sử dụng 2 thanh ghi user của kết cấu quét biên, thanh ghi user 1 dùng để tải lệnh, thanh ghi user 0 dùng để truyền dữ liệu đến các chân source và probes của nhân IP; Tín hiệu probes có chức năng đọc giá trị dùng để quan sát tín hiệu đầu ra, còn tín hiệu source có thể viết dữ liệu vào trong FPGA dùng để gài lỗi sai vào trong các chân chip. Một nhân IP in system source and probes có 256 bit tín hiệu source và probes, có thể không chế được 256 tín hiệu chân chip. Quy trình gài lỗi sai dựa trên nhân IP được thực hiện như Hình 7.



Hình 7. Quy trình gài lỗi dựa trên nhân IP

Từ Hình 7 có thể thấy, phương pháp gài lỗi dựa trên nhân IP không yêu cầu thu thập dữ liệu trên các chân chip và việc gài lỗi trực tiếp thông qua khối gài vector lỗi sẽ làm giảm đáng kể việc sử dụng tài nguyên của FPGA và rút ngắn thời gian gài lỗi. Trong khối gài vector lỗi, các thanh ghi dịch chuyển được sắp xếp song song và các thanh ghi này được kết nối trực tiếp với các chân của chip FPGA một cách độc lập với nhau. Ở trạng thái kiểm tra, đầu vào dữ liệu lỗi chỉ cần đi qua một thanh ghi dịch chuyển là được đưa vào chân chip tương ứng trong khi các chân khác không bị ảnh hưởng, việc gài lỗi có thể nhanh chóng được thực hiện. Phương pháp này có thể nhanh chóng đưa lỗi vào hệ thống mạch mà không ảnh hưởng đến hoạt động bình thường của các chân khác. Tốc độ gài lỗi dựa trên nhân IP được tính toán theo công thức (2).

$$f_{gl} \approx f_{TCK} \tag{2}$$

3. Kết quả thí nghiệm và phân tích

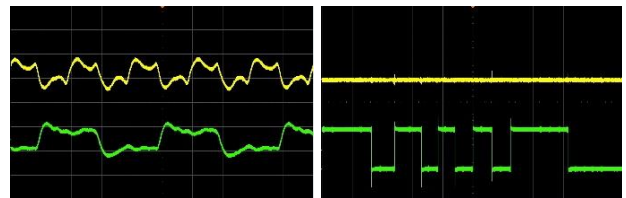


Hình 8. Sơ đồ kết nối sử dụng XJLink

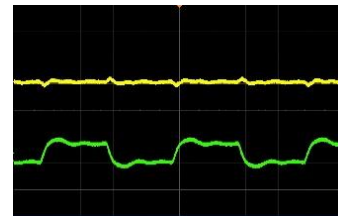
Để kiểm chứng độ tin cậy của phương pháp gài lỗi được đề xuất, trong bài báo này nhóm tác giả lấy Cyclone IV-EP4CE6E22C8 FPGA của Intel với tần số xung trên kit là 50MHz làm đối tượng thử nghiệm. Phương pháp được thực

hiện thông qua sử dụng XJlink làm giao thức kết nối giữa máy tính và FPGA để thực hiện gài lỗi như Hình 8.

FPGA được lập trình thực hiện phép tính cộng 4 bit đơn giản, hai bit đầu tiên của kết quả phép tính được kết nối với các chân pin_34 (sóng tín hiệu trên), pin_33 (sóng tín hiệu dưới) FPGA. Hình 9 thể hiện tín hiệu đầu ra của chân pin_33 và pin_34 trong trạng thái hoạt động bình thường và trong trạng thái gài lỗi sai ở tần số 50MHz. Khi FPGA ở trạng thái hoạt động bình thường (Hình 9a) tín hiệu trên 2 chân pin_33 và pin_34 biến đổi theo chương trình đã được cài đặt sẵn; khi sử dụng phương pháp gài lỗi dựa trên chuỗi quét gài lỗi sai vào chân pin_34 (Hình 9b) thì pin_34 bị không chế xuống mức “0” còn pin_33 vẫn xuất tín hiệu bình thường nhưng không đồng nhất với chương trình trong chip; khi sử dụng phương pháp gài lỗi dựa trên nhân IP gài lỗi sai vào chân pin_34 (Hình 9c) thì pin_34 bị không chế xuống mức “0” đồng thời pin_33 vẫn xuất tín hiệu bình thường đồng nhất với chương trình trong chip.



(a) Trạng thái bình thường (b) Gài lỗi bằng chuỗi quét



(c) Gài lỗi bằng nhân IP

Hình 9. Tín hiệu hiển thị trên Pin_33 và Pin_34 tần số 50MHz

Bảng 1. Chuỗi tín hiệu trên các chân Pin_33 và Pin_34 ở các tần số khác nhau

Tần số chân chip	Tên chân	Tín hiệu bình thường	Tín hiệu sau khi gài lỗi	
			Phương pháp chuỗi quét	Phương pháp nhân IP
100KHz	Pin_33	00110011	00110011	00110011
	Pin_34	00001111	00000000	00000000
50MHz	Pin_33	00110011	11101101	00110011
	Pin_34	00001111	00000000	00000000

Bảng 1 liệt kê tín hiệu đầu ra của các chân pin_33, pin_34 khi gài lỗi “00000000” lên chân pin_34 ở các tần số khác nhau. Từ kết quả của Bảng 1 ta thấy, khi tần số chân chip bằng 100KHz, hai phương pháp gài lỗi được đề xuất trong bài viết này đều có thể thực hiện được quá trình gài lỗi mà không ảnh hưởng đến hoạt động bình thường của chip; Nhưng khi tần số là 50MHz, phương pháp gài lỗi dựa trên chuỗi quét đã ảnh hưởng đến dữ liệu đầu ra của các chân khác khi thực hiện gài lỗi, mặc dù có thể tiến hành kiểm tra và không chế được chân pin_34, tuy nhiên tín hiệu của các chân chip khác bị sai loạn, chip hoạt động không bình thường. Chỉ có phương pháp gài lỗi dựa trên nhân IP mới có thể đảm bảo hoạt động bình thường của chip trong

quá trình gài lỗi.

Với tần số xung kiểm tra quét biên TCK của XJLink có thể đạt tới 160MHz [13] và độ dài chuỗi quét của FPGA EP4CE6E22 là 603 [15], căn cứ công thức (1), (2) có thể tính toán được tốc độ gài lỗi tối đa của hai phương pháp gài lỗi được đề xuất như Bảng 2. Trong đó phương pháp gài lỗi dựa trên nhân IP tối đa có thể đạt tới tần số 160MHz.

Bảng 2. Tốc độ gài lỗi tối đa trên FPGA EP4CE6E22C8

Phương pháp gài lỗi	Tần số TCK tối đa	Tần số lỗi gài tối đa
Phương pháp dựa trên chuỗi quét	160MHz	130KHz
Phương pháp dựa trên nhân IP	160MHz	160MHz

Bảng 3. Tài nguyên sử dụng trên EP4CE6E22C8

Tài nguyên	Chương trình adder_4bit	Phương pháp chuỗi quét	Phương pháp nhân IP
Logic Elements	12	12	189
Register	8	8	111
PLLs	0	0	0

Bảng 4. So sánh tính năng giữa phương pháp đề xuất và các phương pháp khác

Phương pháp	Tác động vật lý vào chip	Trạng thái hoạt động của chip	Phương thức gài lỗi	Tính thông dụng
Truyền thông	Có	Không chế	Không	Tất cả dòng chip
Qin [2]	Có	Không chế	Đầu dò	Nút mạch
Yu [5]	Không	Bình thường	Phần mềm	FPGA SRAM
Xception [12]	Không	Bình thường	Phần mềm	Power PC, Pentium
Dựa trên chuỗi quét	Không	Bình thường	Phần mềm	Tất cả dòng chip
Dựa trên nhân IP	Không	Bình thường	Phần mềm	Tất cả FPGA

Phương pháp gài lỗi dựa trên chuỗi quét và nhân IP đề xuất là phương pháp gài lỗi thông qua phần mềm, trong đó phương pháp gài lỗi dựa trên chuỗi quét không yêu cầu có tác động vật lý lên chip hay thay đổi kết cấu bên trong của FPGA; phương pháp gài lỗi dựa trên nhân IP chỉ cần thiết lập thêm chương trình khởi tạo nhân IP trong FPGA mà không cần phải có tác động vật lý vào FPGA. Từ kết quả sử dụng tài nguyên trong Bảng 3 ta thấy, tài nguyên FPGA bị chiếm dụng không thay đổi hoặc tăng thêm 177 logic elements, 103 register so với chương trình ban đầu khi lần lượt sử dụng phương pháp gài lỗi dựa trên chuỗi quét và dựa trên nhân IP 8bit.

Từ kết quả so sánh tính năng như Bảng 4 ta thấy được, phương pháp gài lỗi kiểm tra chân chip đề xuất không cần tác động vật lý vào chip tránh được hư hỏng khi phải tháo chip ra khỏi bo mạch đặc biệt với mật độ chân chip ngày càng dày đặc như hiện nay, đồng thời có thể áp dụng được với tất cả các chip có hỗ trợ kết cấu quét biên nâng cao tính thông dụng của phương pháp.

4. Kết luận

Trong bài viết này, nhóm tác giả đã nghiên cứu đề xuất phương pháp gài lỗi dựa trên công nghệ quét biên để thực hiện kiểm tra kết nối và không chế tín hiệu của các chân chip một cách hiệu quả mà không cần tháo dỡ hay can thiệp vào cấu trúc vật lý của chip. Phương pháp chỉ cần thông qua giao thức kết nối XJLink và công cụ JTAG có thể đạt được mục đích gài lỗi, tính linh hoạt cao không bị ảnh hưởng bởi sự phức tạp hay mật độ chân dày đặc của các chip, giảm chi phí kiểm tra, tránh được những sự cố gây hỏng chip so với các phương pháp truyền thống. Kết quả thí nghiệm cho thấy, phương pháp gài lỗi dựa trên nhân IP có thể gài lỗi với tần số 160MHz có thể kiểm tra được các tín hiệu tốc độ cao LVDS và duy trì hoạt động bình thường của các chân tín hiệu khác.

TÀI LIỆU THAM KHẢO

- [1] Shi J. Y., Li Z., Liu L. & Tian Z., *Design and implementation of automatic control fault insertion equipment*, ACTA Aeronautica Et Astronautica Sinica, 03, 2007, pp.556-560.
- [2] Qin H. B., Zhang T. H. & Sun J. G., "Study on comprehensive fault injection for BIT verification of the FADEC system", *Journal of Aerospace Power*, 3, 2006, pp.581-587.
- [3] Le M. & Tamir Y., "Fault injection in virtualized systems - challenges and applications", *IEEE Transactions on Dependable & Secure Computing*, 12(3), 2015, pp.284-297.
- [4] Sun R., Zhang T., Xiao D. Y. & Guo L., "Study of fault-injection for FPGA based fault-tolerant computer", *Microcomputer Information*, 26(14), 2010, pp.116-118.
- [5] Yu T. T., Chen L., Li X. W., Wang S. & Zhou J., "A software controlled FPGA fault injections based on bitstream", *Microelectronics*, 47(04), 2017, pp.553-556+561.
- [6] Yao W. B., Zhao L., Wang Z. & Yao X., "Research and design of all-purpose simulation platform of fault injection", *Journal of System Simulation*, 28(02), 2016, pp.315-321.
- [7] Intel Việt Nam, "Công cụ quét biên", Intel, [Online] Available: <https://www.intel.vn/content/www/vn/vi/support/programmable/support-resources/programming-boundary-scan-tools.html>, 23/02/2022.
- [8] Li Z. W. & Pan Z. L., *Realization of Integrity Test of Boundary-Scan Structure*, IEEE International Conference on Artificial Intelligence and Computer Applications, 2020, pp.722-724, doi: 10.1109/ICAICA50127.2020.9182579.
- [9] Paul, S. D. & Bhunia, S., "SILVerIn: Systematic integrity verification of printed circuit board using JTAG infrastructure", *ACM Journal on Emerging Technologies in Computing Systems*, 17(3), 2021, pp.1-28.
- [10] Be V. N., Peter L. & Anthony S., *Use of JTAG boundary-scan for testing electronic circuit boards and systems*, IEEE Autotestcon, 2008, pp.17-22.
- [11] Yang S. K., Zhang T. H. & Deng Z. W., "Design of the IP soft Core of JTAG controller for electronic engine controller", *Journal of Aerospace Power*, 26(01), 2011, pp.234-240.
- [12] Diamantino C., Henrique M., Joao C. & Joao G. S., "Xceptiontm: A software implemented fault injection tool", *Fault Injection Techniques and Tools for Embedded Systems Reliability Evaluation*, 23, 2003, pp.125-139.
- [13] XJTAG, "XJLink2 - USB JTAG controller", XJTAG, [Online] Available: <https://www.xjtag.com/products/hardware/xjlink-xjlink2-controller/>, 22/03/2022.
- [14] Intel, *Intel Quartus Prime Standard Edition User Guide: Debug Tool Version 2018.09.24*, 2018, pp.232 - 244.
- [15] Intel, "Cyclone IV E IEEE 1149.1 Compliant BSDL File EP4CE6E22 - (144-pin EQFP)", Intel, 2018, [Online] Available: <https://www.intel.com/content/www/us/en/content-details/651837/cyclone-iv-e-ieee-1149-1-compliant-bsdl-file-ep4ce6e22-144-pin-efqp.html>, 21/02/2023.