

ĐIỀU KHIỂN TỐI ƯU LƯỖNG THAM CHIẾU TRONG HỆ XỬ LÝ SONG SONG

OPTIMAL CONTROL OF REFERENCE STREAMS IN PARALLEL PROCESSING SYSTEMS

Chu Đức Toàn
Trường Đại học Điện lực
Email: chuctoankd@gmail.com

Đỗ Xuân Tiến
Học viện Kỹ thuật Quân sự

TÓM TẮT

Điều khiển tối ưu không gian nhớ để nâng cao tốc độ cho các hệ xử lý song song là vấn đề khoa học và thiết thực, rất quan trọng nhiều ngành nhiều lĩnh vực cần ứng dụng. Một trong những nguyên nhân cơ bản làm giảm hiệu năng của hệ xử lý song song là sự xung đột khi truy cập tới bộ nhớ dùng chung. Bài báo nghiên cứu đề xuất mô hình bộ nhớ dùng chung có bổ sung cơ cấu bộ đệm ở lối vào. Mô hình này cho phép tối ưu bộ nhớ dùng chung bằng phương pháp cấp phát động. Sử dụng công nghệ FPGA để dàng tái kiến trúc hàng đợi theo tham số kích thước m để tối ưu hóa cấu trúc bộ nhớ cho lớp bài toán là giải pháp nâng cao hiệu năng, nâng cao tốc độ. Mô hình cho phép sử dụng các bộ nhớ kích thước lớn nhưng tốc độ không tới hạn để nâng cao độ tin cậy cho hệ xử lý song song.

Từ khóa: nâng cao hiệu năng; lý thuyết hàng đợi; công nghệ FPGA; hệ xử lý song song; tốc độ

ABSTRACT

The optimal control of memory space to raise speed of parallel processing systems is a scientific and practical issue, which is very important in many applied branches and fields. One of the major factors which reduces the efficiency of the parallel processing system is the conflict in accessing to the common memory. The article studies the proposal of a shared memory supplemented with a buffer structure at the input. This model allows the optimum of the shared memory via the motive supply method. It is easy to use the FPGA technology to re-build the queuing structure according to the parameter with size m to optimize the memory structure for problems as a solution to raise the efficiency and the speed. The model allows the use of memories with big sizes but unlimited speeds in order to increase the reliability for the parallel processing systems.

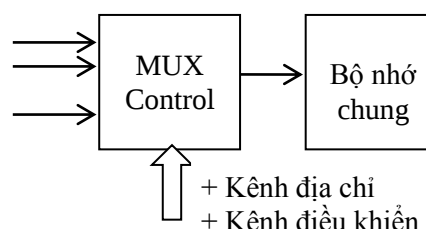
Key words: raising efficiency; queuing theory; FPGA technology; parallel processing systems; speed

1. Đặt vấn đề

Đặc trưng của các hệ xử lý song song là tốc độ xử lý rất cao nhưng xác suất xung đột cũng cao. Vấn đề giảm thiểu xác suất xung đột khi truy cập tài nguyên dùng chung được quan tâm nhiều nhất đối với hệ thống này. Tài nguyên vật lý dùng chung của hệ là các cổng giao tiếp, bộ nhớ có tốc độ làm việc thấp hơn bộ vi xử lý (CPU). Để nâng cao khả năng phục vụ của bộ nhớ dùng chung và giảm thiểu tối đa xác suất xung đột của các luồng tham chiếu từ các CPU khác nhau. Bài báo này trình bày việc ứng dụng lý thuyết hàng đợi, quy luật phân bố Markov và công nghệ mới FPGA nhằm giảm thiểu tối đa xác suất xung đột khi tham chiếu bộ nhớ dùng chung, từ đó nâng cao hiệu năng cho các hệ xử lý song song.

2. Mô hình truyền thống tham chiếu bộ nhớ chung trong hệ xử lý song song

Để tránh xung đột của các luồng tham chiếu từ các CPU khác nhau trong hệ xử lý song song mô hình truyền thống có cấu trúc như sau (Hình 1):



Hình 1. Tham chiếu bộ nhớ chung trong hệ xử lý song song

Tại một chu kỳ tham chiếu, khối MUX Control dùng để tiếp nhận các luồng tham chiếu

từ hệ thống, kiểm tra tính ưu tiên, cho phép một luồng thứ i được truy cập tới bộ nhớ chung (để đơn giản, sơ đồ này không mô tả kênh dữ liệu và địa chỉ cho bộ nhớ chung) còn các luồng tham chiếu khác i đều bị từ chối, đồng nghĩa với việc các CPU khác phải chờ tới các chu kỳ tham chiếu sau [5, 6, 7].

Điều này làm giảm hiệu năng đáng kể đối với hệ xử lý song song. Trong mô hình này, nếu coi xác suất một tham chiếu thành công là E , để đảm bảo một tham chiếu thành công thì số lượng các phép thử cần thiết:

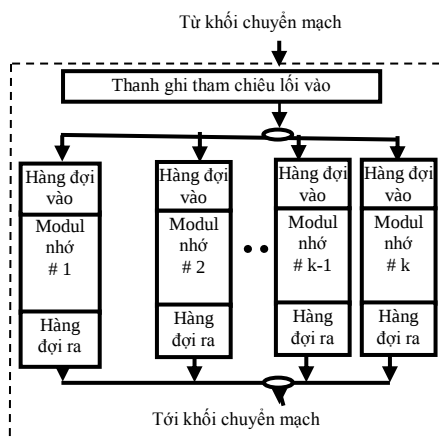
$$\sum_{i=1}^{\infty} i(1-E)^{i-1} E = \frac{1}{E}$$

Đây là mô hình tính toán hiệu năng E .

Ta cần có phương pháp mới giúp nâng cao hiệu năng làm việc của các hệ xử lý song song này.

3. Xây dựng mô hình toán học tham chiếu bộ nhớ dùng chung trong hệ xử lý song song đa CPU

Xét mô hình bộ nhớ dùng chung trong hệ xử lý song song Hình 2 [1, 2, 3].



Hình 2. Tổ chức băng logic trong bộ nhớ dùng chung cho hệ xử lý song song

Hiệu năng tham chiếu E ở đây được định nghĩa như tỷ số:

$$E = N_{acc} / N_{acc0}$$

Với N_{acc} -số lượng các tham chiếu thành công tới bộ nhớ dùng chung và N_{acc0} - tổng số các tham chiếu tới bộ nhớ dùng chung.

Bây giờ ta gọi P là xác suất để thanh ghi tham chiếu ở lỗi vào rồi khi một luồng tham chiếu khởi đầu một tham chiếu tới không gian

nhớ. Từ đó ta có biểu thức quan hệ: $\frac{1}{E} = \frac{P}{E_l} + \frac{(1-P)}{E_p}$ (1). Biểu thức hiệu năng này có thể viết lại như sau:

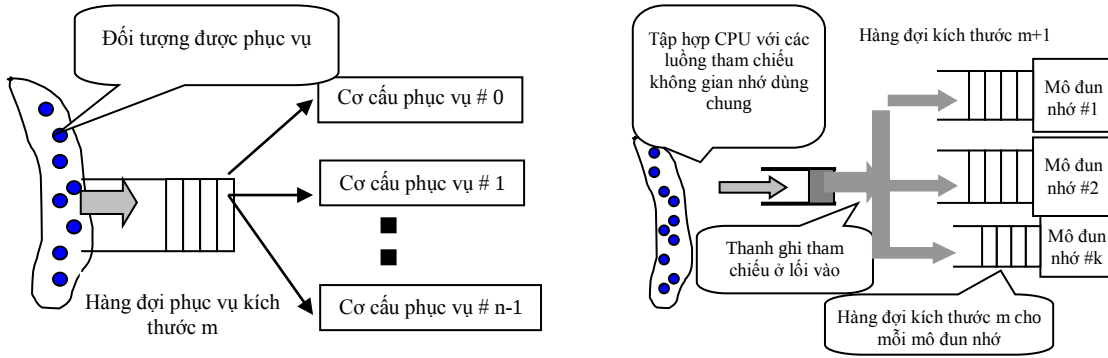
$$E = \frac{E_l E_p}{P E_p + (1-P) E_l} \quad (2)$$

Biểu thức (2) là mô hình toán học tham chiếu bộ nhớ dùng chung trong hệ xử lý song song đa CPU. Ta thấy mô hình tính toán hiệu năng E (mục 2) rất phức tạp, khảo sát khó khăn và không chỉ rõ các thông số liên quan. Mô hình đề xuất (2) để tính toán, khảo sát hiệu năng E , ta thấy đơn giản hơn nhiều, chỉ rõ được các thông số ràng buộc.

Bảng 1. Hệ thống các ký hiệu và các tham số cho bộ nhớ song song dùng chung

Ký hiệu	Ý nghĩa
E	Hiệu năng của bộ nhớ song song dùng chung
E_p	Hiệu năng của một tham chiếu khi thanh ghi tham chiếu lỗi vào bận
E_l	Hiệu năng của một tham chiếu ở mức băng logic
T_l	Chu kỳ của băng logic
T_p	Chu kỳ hiệu quả của bộ nhớ
T_d	Độ trễ nhỏ nhất để truyền một tham chiếu từ hàng đợi vào mô-đun nhớ
T_c	Chu kỳ vật lý của mô-đun nhớ
P	Xác suất tại một thời điểm thanh ghi tham chiếu lỗi vào rồi
n	Số luồng tham chiếu độc lập trong hệ thống
k	Số mô-đun nhớ trong mỗi băng logic
l	Số lượng băng logic trong hệ thống
m	Kích thước hàng đợi của mỗi mô-đun nhớ

Để xác định P dựa trên cơ sở của lý thuyết hàng đợi, quá trình tham chiếu tới bộ nhớ dùng chung là quá trình Markov và có phân bố theo luật hàm mũ (M), thời gian phục vụ của bộ nhớ là xác định (D), không gian nhớ phục vụ các tham chiếu bằng 1 và kích thước hàng đợi của mỗi mô-đun nhớ bằng m (Hình 3b).



a) b)

Hình 3. Sơ đồ hàng đợi tổng quát (a) và sơ đồ hàng đợi cho hệ xử lý song song (b)**3.1. Xác định đại lượng xác suất P**

Gọi V_i là số tham chiếu đến hệ thống trong khoảng thời gian phục vụ tham chiếu thứ i , $i = 0, 1, 2, \dots$. Gọi N_i là số tham chiếu đang có trong hệ thống ở thời điểm kết thúc phục vụ tham chiếu thứ i , $i = 0, 1, 2, \dots$ ta có quan hệ [4,9,10]: Ta có:

$$G_X(z) = \sum_{k=0}^{\infty} P[X=k]z^k \quad (3)$$

ta có tính chất:

$$G_X(z) = G_Y(z)G_W(z)$$

Áp dụng tính chất này ta có đẳng thức [10,11]:

$$G_{N_i}(z) = G_{(N_{i-1}-1)}(z) + G_{V_i}(z) \quad (4)$$

Ta có: xác suất để băng nhớ làm việc là $\frac{\lambda}{\mu} = \rho$, trong đó: λ là tốc độ tới của hệ thống, μ là tốc độ phục vụ của hệ thống; do đó xác suất để băng nhớ rỗi là $1 - \rho$ hay $P[N_{i-1} = 0] = 1 - \rho$, do đó có thể viết:

$$G_{(N_{i-1}-1)+}(z) = (1 - \rho) + \frac{1}{z} \{G_{N_i}(z) - (1 - \rho)\} \quad (5)$$

Thay (5) vào (4) ta có: (6)

$$G_{(N_{i-1}-1)+}(z) = \left\{ (1 - \rho) + \frac{1}{z} [G_{N_i}(z) - (1 - \rho)] \right\} G_{V_i}(z)$$

$$G_{(N_i)}(z) = G_{V_i}(z) \frac{(1 - \rho)(1 - z)}{G_{V_i}(z) - z} \quad (7)$$

Mặt khác, các tham chiếu đến hệ thống tuân theo quá trình Poisson nên ta có:

$$P[V_i = k] = \frac{(\lambda T_p)^k}{k!} e^{-\lambda T_p} = \frac{\rho^k}{k!} e^{-\rho}$$

Trong đó T_p là thời gian phục vụ hiệu quả của hệ thống đối với mỗi tham chiếu, $T_p = \frac{1}{\mu}$ và

$$\lambda T_p = \frac{\lambda}{\mu} = \rho, \text{ theo (3) từ đó ta tính được}$$

$$G_{V_i}(z) = \sum_{k=0}^{\infty} P[V_i = k]z^k \quad (8)$$

$$G_{V_i}(z) = \sum_{k=0}^{\infty} \frac{\rho^k}{k!} e^{-\rho} z^k = e^{-\rho} \sum_{k=0}^{\infty} \frac{(\rho z)^k}{k!}$$

$$G_{V_i}(z) = e^{-\rho} e^{\rho z} = e^{-\rho(1-z)} \quad (9)$$

Thay công thức (9) vào (7) ta có:

$$G_{N_i}(z) = e^{-\rho(1-z)} \frac{(1 - \rho)(1 - z)}{e^{-\rho(1-z)} - z}$$

$$G_{N_i}(z) = \frac{(1 - \rho)(1 - z)}{1 - ze^{\rho(1-z)}} \quad (10)$$

Với z là biến số thực thỏa mãn điều kiện: $|z| < e^{2\rho}$, khi đó ta luôn có $|ze^{\rho(1-z)}| < 1$, ta có thể viết:

$$G_{N_i}(z) = (1 - \rho)(1 - z) \sum_{i=0}^{\infty} z^i e^{i\rho(1-z)}$$

hay

$$G_{N_i}(z) = (1 - \rho) \sum_{i=0}^{\infty} e^{i\rho} (z^i - z^{i+1}) e^{-i\rho z} \quad (11)$$

Khai triển Marloranh đối với hàm $e^{-i\rho z}$, thay vào (11) ta được:

$$G_{N_i}(z) = (1 - \rho) \sum_{i=0}^{\infty} e^{i\rho} (z^i - z^{i+1}) \sum_{k=0}^{\infty} (-1)^k \frac{(i\rho z)^k}{k!}$$

$$\text{Hay } G_{N_i}(z) = (1 - \rho) \sum_{i=0}^{\infty} e^{i\rho} \sum_{k=0}^{\infty} (-1)^k \frac{(i\rho)^k}{k!} (z^{k+i} - z^{k+i+1}) \quad (12)$$

Hệ số Z^n trong vế phải của đẳng thức (12):

$$(1-\rho) \sum_{i=0}^{\infty} e^{i\rho} \left[\frac{(-1)^{n-i} (i\rho)^{n-i}}{(n-i)!} - \frac{(-1)^{n-i-1} (i\rho)^{n-i-1}}{(n-i-1)!} \right] = \quad (13)$$

$$= (1-\rho) \sum_{i=0}^{\infty} e^{i\rho} (-1)^{n-i} \frac{(i\rho)^{n-i-1} (i\rho + n - 1)}{(n-i)!}$$

Theo tính chất hàm sinh xác suất từ (8) và (13) ta có:

$$P[N_i = n] = (1-\rho) \sum_{i=0}^n e^{i\rho} (-1)^{n-i} \frac{(i\rho)^{n-i-1} (i\rho + n - 1)}{(n-i)!} \quad (14).$$

Xác suất để thanh ghi tham chiếu lỗi vào rồi sẽ được xác định:

$$P = \sum_{n=0}^m P[N_i = n] \quad (15)$$

$$= (1-\rho) \sum_{n=0}^m \sum_{i=0}^n e^{i\rho} (-1)^{n-i} \frac{(i\rho)^{n-i-1} (i\rho + n - 1)}{(n-i)!}$$

3.2. Xác định đại lượng hiệu năng khi các hàng đợi của các môđun nhớ đã đầy E_p : Gọi M là ma trận chuyển đổi trạng thái cho mô hình này (với M_{ij} được hiểu là xác suất mà trạng thái tiếp theo là j , trạng thái hiện tại là i) thì M được biểu diễn như sau

$$M = \begin{pmatrix} 1-qx & \frac{qx}{T} & \frac{qx}{T} & \dots & \frac{qx}{T} & \frac{qx}{T} \\ 1 & 0 & 0 & \dots & 0 & 0 \\ 0 & 1 & 0 & \dots & 0 & 0 \\ \vdots & \vdots & \vdots & \ddots & \vdots & \vdots \\ 0 & 0 & 0 & \dots & 1 & 0 \end{pmatrix}$$

Xác suất tiên nghiệm của bất kỳ trạng thái nào phải bằng chính tần suất xuất hiện của trạng thái đó. Gọi $p = (p_0, p_1, \dots, p_z, \dots, p_T)$ là vector xác suất tiên nghiệm của $T+1$ trạng thái và chúng được xác định từ mối quan hệ $pM = p$. Ta có:

$$p_0(1-qx) + p_1 = p_0; p_0qx/T + p_2 = p_1;$$

$$p_0qx/T + p_3 = p_2; \dots; p_0qx/T + p_T = p_{T-1};$$

$$p_0qx/T = p_T \sum_{i=0}^T p_i = 1 \text{ Giải hệ phương trình ta}$$

$$\text{được: } p_0 = \frac{1}{1+qx(T+1)/2}; p_1 = \frac{qx}{1+qx(T+1)/2};$$

$$p_2 = \frac{qx(T-1)}{T[1+qx(T+1)/2]} \dots p_{T-1} = \frac{2qx}{T[1+qx(T+1)/2]};$$

$$p_T = \frac{qx}{T[1+qx(T+1)/2]}$$

Thay p_0 ở trên và giải phương trình ẩn x ta có:

$$x = \frac{\sqrt{1+2nq^2T(T+1)/b}-1}{q(T+1)}$$

$$\text{Do đó } p_0 = \frac{2}{1+\sqrt{1+2nq^2T(T+1)/b}}, p_z \text{ được tính}$$

tương tự.

Từ đây ta tính được

$$E = \frac{qp_0}{qp_0 + (1-p_0)} = \frac{2q}{2q-1+\sqrt{1+2nq^2T(T+1)/b}}$$

$$E_B = (q, T, n, b) = \frac{2q}{2q-1+\sqrt{1+2q^2nT(T+1)/b}}$$

áp dụng để tính E_p ta chỉ cần thay T bởi

$$T_p: E_p = \frac{2q}{2q-1+\sqrt{1+2q^2nT_p(T_p+1)/b}} \quad (16)$$

3.3. Xác định đại lượng hiệu năng khi thanh ghi tham chiếu lỗi vào ở trạng thái rồi E_l

Để xác định E_l , ta giả định rằng mỗi luồng tham chiếu sẽ chỉ ở một trong ba trạng thái: trạng thái tự do (i); trạng thái thực hiện tham chiếu thành công (ii); trạng thái thực hiện tham chiếu không thành công (iii). Xác suất để một tham chiếu không thành công sẽ là:

$$\frac{\beta(n-1)}{2km} \text{ do đó } \delta = 1 - \frac{\beta(n-1)}{2km} = 1 - \beta\varepsilon \quad (17)$$

trong đó $\varepsilon = \frac{(n-1)}{2km}$. Gọi $p = (\alpha, \beta, \gamma)$ là vector xác

suất tiên nghiệm của ba trạng thái. Các xác suất ổn định này có thể được xác định qua mối quan hệ $p = \Gamma p$. Từ quan hệ này ta có:

$$\alpha = (1-q)\alpha + (1-q)\beta = (1-q)(\alpha+\beta) \quad (18)$$

$$\beta = \delta q(\alpha+\beta) + \delta\gamma \quad (19)$$

$$\gamma = (1-\delta)(q\alpha+q\beta+\gamma) \quad (20)$$

Sau khi biến đổi ta được kết quả:

$$E_l = \delta = \frac{1-2q-q\varepsilon+\sqrt{(1-2q-q\varepsilon)^2+4q(1-q)}}{2(1-q)} \quad (21)$$

4. Khảo sát, đánh giá hiệu năng của mô hình điều khiển

Mô hình bài báo đề xuất dựa trên mô hình Bailey, điểm khác là trong đó mỗi băng nhớ vật lý được thay thế bằng một băng nhớ logic, băng logic chỉ có một mô đun ($k=1$) với hàng đợi có kích thước m . Các luồng tham chiếu được giả thiết chỉ tạo các thao tác ghi/đọc và có $T_l = T_d = 1$.

Ta thấy khi $T = T_c = 16$, kết quả mô phỏng

không hàng đợi ($m=0$) cho kết quả là 0,27; và hiệu năng bằng 0,65 khi sử dụng hàng đợi.

Khảo sát sự ảnh hưởng số lượng các mục tham chiếu chứa trong hàng đợi ít hơn kích thước hàng đợi m với các giá trị m khác nhau và tốc độ luồng tham chiếu khác nhau, được chỉ ra trong bảng 2. Việc phân tích cho thấy khi kích thước hàng đợi khá nhỏ cũng tạo ra sự cải thiện về hiệu quả, bảng 2

ρ	$m=1$	$m=2$	$m=3$	$m=4$	$m=5$	$m=6$	$m=7$	$m=8$
0,1	0,999	0,999	1	1	1	1	1	1
0,2	0,998	0,999	1	1	1	1	1	1
0,3	0,992	0,998	0,999	1	1	1	1	1
0,4	0,977	0,995	0,999	0,999	0,999	1	1	1
0,5	0,946	0,984	0,995	0,998	0,999	0,999	1	1
0,6	0,890	0,957	0,983	0,993	0,997	0,999	0,999	0,999
0,7	0,796	0,894	0,946	0,972	0,986	0,992	0,996	0,998
0,8	0,634	0,762	0,845	0,899	0,934	0,957	0,972	0,982
0,9	0,383	0,498	0,592	0,668	0,730	0,781	0,822	0,855
1,0	0	0	0	0	0	0	0	0

Bảng 2. Xác suất một yêu cầu đến khi hàng đợi chưa đầy theo m và ρ với qui tắc hàng đợi M/D/1/m

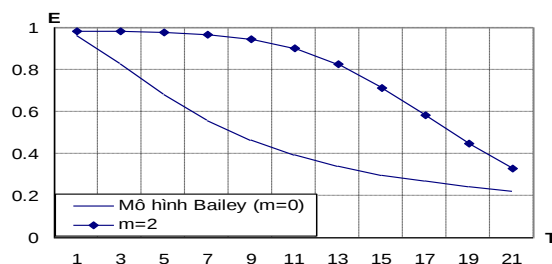
Nhận xét: Ta thấy, nếu $\rho=0,5$ thì xác suất hàng đợi có ít hơn 3 ngăn (gồm 2 ngăn hàng đợi và thanh ghi tham chiếu lỗi vào) chưa đầy sẽ là 0,995. Giá trị này chứng tỏ kích thước hàng đợi nhỏ sẽ đáp ứng được yêu cầu cải thiện hiệu năng. Với hàng đợi M/D/1/m, để đơn giản ta xét trường hợp hàng đợi dài vô hạn.

Khảo sát sự phụ thuộc E vào các tham số được thể hiện trong các hình 4 và hình 5. Ta có thể thấy rằng:

- Trong trường hợp không có bộ đệm ($m=0$), hiệu năng của hệ sẽ thấp hơn nhiều so với trường hợp có bộ đệm $m>0$ khi $b=1$ (giả thiết $k=1$).

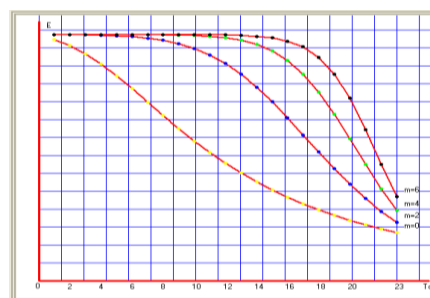
Khi xem xét ảnh hưởng với các trường hợp $m>0$ đến hiệu quả ta thấy:

- Khi $\rho = qT_{pn}/b$ được giữ không đổi giá trị 0,5, khi n tăng thì T_c cũng tăng. Nếu ta giả thiết rằng $T_c=T_d=1$, như vậy $T_p \approx T_c \cdot \varepsilon$ sẽ giảm. Điều này dễ thấy do ε chỉ phụ thuộc vào



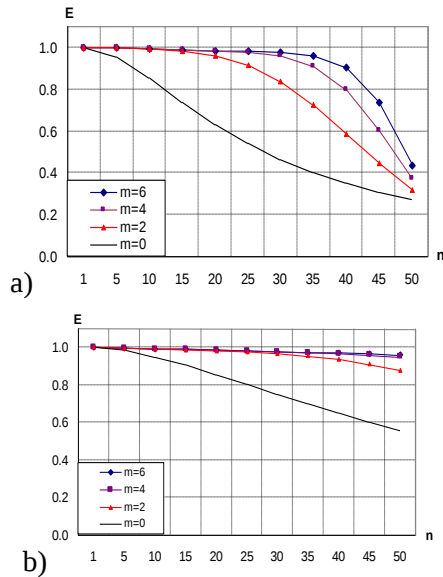
Hình 4. Hiệu quả tham chiếu ngẫu nhiên bằng nhớ logic theo T được so sánh trong hai trường hợp khi $m=2$ và trường hợp không có băng nhớ logic ($m=0, T_l=T_d=0$)

số lượng bộ xử lý và số lượng băng nhớ l . Hiệu quả sẽ tăng chậm khi tăng T_c và l trong khi duy trì $\rho=0,5$. Với q cố định, việc tăng gấp đôi T_c , để duy trì hiệu năng bằng cách tăng gấp đôi số lượng băng nhớ hoặc giảm đi một nửa số lượng bộ xử lý (tương ứng giảm 1/2 số dòng tham chiếu).



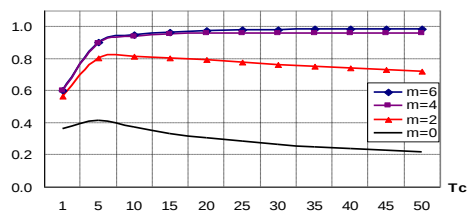
Hình 5. Sự phụ thuộc của E theo chu kỳ vật lý của mô đun nhớ T_c khi m thay đổi

a)
a)



Hình 6. Đồ thị của E theo số luồng tham chiếu n

Nếu kích thước hàng đợi lớn, thời gian chờ ghi vào bộ nhớ sẽ lâu và các luồng tham chiếu khác có thể đọc nhầm dữ liệu.



Hình 7. Đồ thị của E theo m chu kỳ vật lý mô đun nhớt T_c khi giữ cố định $\rho = 0,5$

Với một hệ thống gồm có n luồng tham chiếu, l bảng nhớ lôgic, $T_l=1$, $m=4 \div 6$ và $q=1.0$ (tải đầy đủ). Để hiệu năng $E > 0,90$ với $\varepsilon < 0,1$, với $m=2$, cần chọn $\rho < 0,2$. Khi tăng T_l , chúng có tác động làm hạ thấp hiệu năng toàn phần, để duy trì hiệu năng cần giữ $\rho < 0,5$.

Nhận xét: So sánh hiệu năng của mô hình hiện có và mô hình cải tiến ta thấy: Từ các đồ thị khảo sát, đánh giá hiệu năng, trong hình 4 với trường hợp $m=0$ (nghĩa là mô hình không có bộ đệm kích thước hàng đợi m , mô hình truyền thống) có hiệu năng thấp hơn nhiều so với khi có

bộ đệm kích thước hàng đợi m cụ thể $m=2$ (mô hình cải tiến đưa bộ đệm kích thước hàng đợi m vào hệ thống).

Tương tự như vậy từ các đồ thị hình 5, 6, 7 ta nhận thấy với $m=0$ thì hiệu năng đều thấp hơn so với trường hợp $m \neq 0$.

5. Sơ đồ nguyên lý điều khiển tối ưu theo tham số m

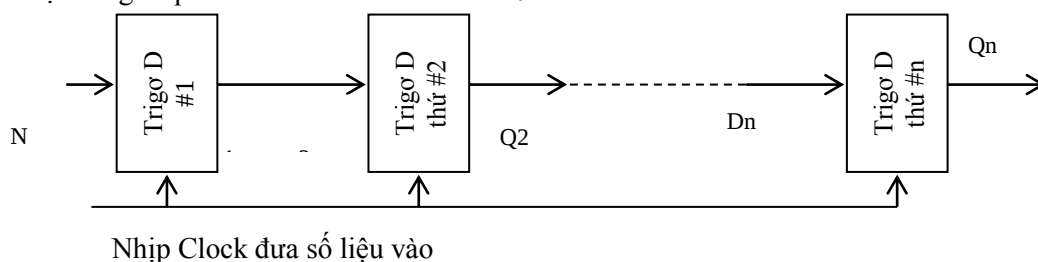
Phần khảo sát đã chỉ rõ được mối quan hệ định lượng giữa hiệu năng E với kích thước hàng đợi. Tuy nhiên E còn phụ thuộc vào mật độ luồng tham chiếu theo thời gian (do tham số n không là hằng số) nên cần một cơ cấu điều khiển kích thước m của hàng đợi trong mối quan hệ với mật độ luồng tham chiếu. Cơ cấu này được thiết kế như sau: coi cơ cấu hàng đợi như một cấu trúc FIFO thì phương pháp tái cấu trúc FIFO theo tham số kích thước m để dàng thực hiện rất nhanh được bằng công nghệ FPGA. Trong trường hợp kích thước bộ FIFO bằng $m > 1$ (hình 8a) sẽ sử dụng FPGA theo phương thức Hình 8b.

Trong cấu trúc này khối “Tín hiệu điều khiển cho FPGA” về bản chất là cơ cấu phát hiện luồng tham chiếu và tính mật độ trung bình theo thời gian để ra quyết định là cần hàng chờ kích thước m bao nhiêu là tối ưu. Cơ cấu chấp hành sẽ lập trình để tái kiến trúc cho FPGA cho phù hợp. Bằng cách đó ta tiệm cận được hệ thống thích nghi theo mật độ luồng tham chiếu.

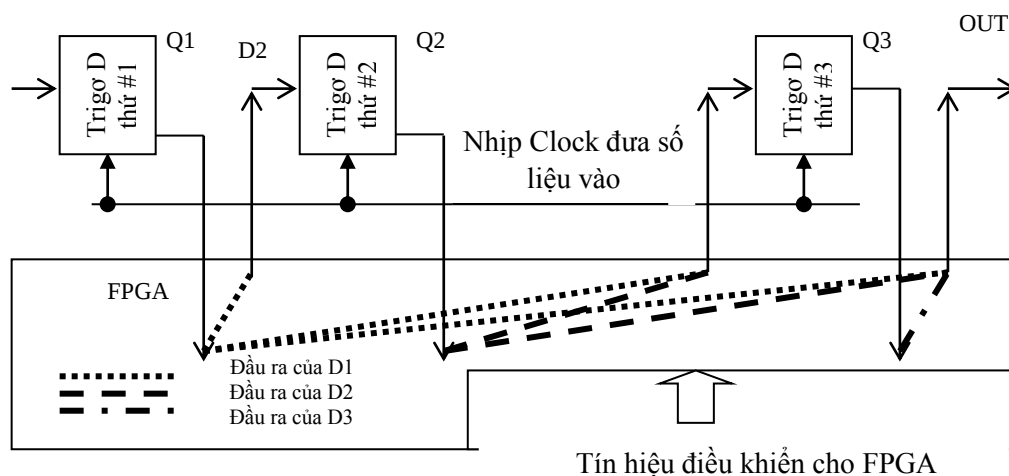
6. Kết luận

- Bài báo đã tìm ra và chứng minh được mô hình toán học tham chiếu bộ nhớ dùng chung trong hệ xử lý song song đa CPU.

- Xây dựng được hệ thống điều khiển tối ưu theo tham số kích thước hàng đợi m . Tập hợp các kết quả thu được của bài báo được sử dụng như một công cụ hỗ trợ cho việc thiết kế tổng hợp các hệ xử lý song song đa CPU chuyên dụng, đáp ứng yêu cầu thực tiễn.



a)

b) Với $n=3$ (ví dụ)**Hình 8.** Mô hình điều khiển kích thước hàng đợi**TÀI LIỆU THAM KHẢO**

- [1] Pravanjan Choudhury, P. P. Chakrabarti, Rajeev Kumar. Online Scheduling of Dynamic Task Graphs with Communication and Contention for Multiprocessors. IEEE Transactions on Parallel and Distributed Systems, Volume 23, Number 1, 2012. p126-133.
- [2] Eddy Z. Zhang, Yunlian Jiang, Xipeng Shen. The Significance of CMP Cache Sharing on Contemporary Multithreaded Applications. IEEE Transactions on Parallel and Distributed Systems, Volume 23, Number 2, 2012. p367-374.
- [3] Antonino Tumeo, Oreste Villa, Daniel G. Chavarría-Miranda. Aho-Corasick String Matching on Shared and Distributed-Memory Parallel Architectures. IEEE Transactions on Parallel and Distributed Systems, Volume 23, Number 3, 2012. p436-443.
- [4] Ken Mai, Ron Ho, Elad Alon, Dean Liu, Younggon Kim, Dinesh Patil, Mark Horowitz. Architecture and Circuit Techniques for a Reconfigurable Memory Block. 0-7803-8267-6/04 2004 IEEE 2004. IEEE International Solid-State Circuits Conference.
- [5] Randolph Nelson. Probability, stochastic processes, and queueing theory. The Mathematics of Computer Performance Modeling 2000.
- [6] M. V. Wilkes. Slave memories and dynamic storage allocation. IEEE Transactions on Electronic Computers Vol EC-14. No 2 April 2005.
- [7] Mehdi R. Zargham. Computer Architecture Single and Parallel Systems. Southern Illinois University 2001.
- [8] Rao, G.S. Performance Analysis of Cache Memories.” Journ. of Assoc. of Comp. Mach., vol. 25. no.3, 1998, pp. 378-397
- [9] Chou Y., Fahs B., AND Abraham S. (2004), “Microarchitectre optimizations for exploiting memory-level parallelism”. ACM pp. 29-70.
- [10] Baghdadi A., Zergainoh N. E. (2000), “Design space exploration for Hardware/software codesign of multiprocessor system”. IEEE Trans. on Computers.
- [11] Numrich R. W. (1992), “Memory contention for shared memory vector multiprocessors”, Proceedings of the ACM/IEEE conference on Super-computing, pp.316-325, Minneapolis, Minnesota, United States.

(BBT nhận bài: 05/11/2012, phản biện xong: 29/08/2013)